



Conversor CC-CC elevador de tensão para aplicações de *energy harvesting*

Luís Filipe Esteves Machado Fontela

Dissertação para obtenção do Grau de Mestre em

Engenharia Eletrotécnica e de Computadores

Orientadores: Professora Doutora Maria Beatriz Mendes Batalha Vieira Vieira
Borges

Professor Doutor Pedro Nuno Mendonça dos Santos

Júri

Presidente:

Orientador:

Vogal:

Outubro 2016

Agradecimentos

É com muita alegria e satisfação que, neste pequeno espaço, tenho a possibilidade de expressar os meus profundos agradecimentos a quem, ao longo desta etapa da minha vida, tornou a sua presença uma mais-valia na minha formação e na minha vida pessoal.

Gostava de agradecer especialmente aos meus orientadores Professor Pedro Santos e Professora Beatriz Borges, por todo o apoio prestado, por todas as horas perdidas comigo, a paciência, a calma, a orientação e determinação para tornar este trabalho uma realidade.

Agradeço ao Instituto de Telecomunicações pelo espaço e recursos disponibilizados, sem os quais não seria possível a realização deste trabalho.

À Sofia Botelho, obrigada pela lembrança constante das minhas capacidades. Todos os momentos de angústia, tristeza e desespero que este projeto e percurso me trouxeram foram ultrapassados e vencidos com esse apoio e companheirismo.

Ao Paulo Pereira aproveito para agradecer profundamente todo o auxílio que me prestou ao longo deste tempo todo. Só este parágrafo não demonstra a gratidão que sinto pelo seu auxílio.

Agradeço também aos meus pais e à minha irmã que sempre me ajudaram e me permitiram percorrer este trajecto, apoiando-me nas minhas decisões.

Muito obrigado a todos os que me acompanharam neste percurso, que me aturaram e que de uma maneira ou de outra me ajudaram a chegar aqui.

Resumo

Ao longo das últimas décadas os dispositivos portáteis alimentados com baixa tensão têm vindo a aumentar e, conseqüentemente, algumas fontes de recolha de energia a partir do ambiente envolvente. Para permitir a aplicação dessas fontes de recolha de energia a dispositivos eletrónicos portáteis, verificou-se a necessidade do uso de conversores Corrente Contínua-Corrente Contínua (CC-CC) eficientes.

Neste sentido, surge o tema para esta dissertação, na qual se pretende desenvolver um conversor CC-CC elevador de tensão, dedicado a aplicações de recolha de energia. Este conversor deverá ser integrado em tecnologia *Complementary Metal-Oxide-Semiconductor* (CMOS) de 130nm para operar em alta frequência (na ordem dos MHz), tendo como objetivo converter tensões da ordem dos 500mV em 2,4V. O projeto é assistido em ambiente *Electronic Design Automation* (EDA), recorrendo à ferramenta *Cadence Design Environment* (CDE) e ao respetivo *kit* da tecnologia CMOS, sendo validado com simulações em situações extremas, conhecidas como simulação de *corners*.

O circuito é projetado e testado em esquema elétrico, permitindo obter 2,4V com tensões de entrada a partir de 0,4V até 0,6V. Para elaborar a planta em simulador otimiza-se o circuito para a tensão de entrada a 0,5V. A partir da planta é feita a extração do circuito, incluindo assim todos os parâmetros parasitas do processo.

Finalmente, o conversor projetado é baseado numa arquitetura híbrida, indutiva e capacitiva, permitindo converter uma tensão de 0,5V para 2,4V, com uma carga de $10K\Omega$ e frequência de 10 MHz, sendo que a área de implementação da planta do circuito é de $303,974\text{mm}^2$.

Palavras-chave: baixa tensão, CMOS, Conversor CC-CC, elevador de tensão, recolha de energia.

Abstract

In the last few decades, the number of low-voltage portable devices have been increasing and, with them, some energy harvesting sources from the environment. To allow the application of these energy sources to electronic portable devices, the need of Direct Current-Direct Current (DC-DC) converters was perceived.

Therefore the topic for this dissertation presents itself, in which is intended the development of a DC-DC boost converter, dedicated to energy harvesting applications. This converter should be integrated in a Complementary Metal-Oxide-Semiconductor (CMOS) technology, to operate in high frequency (MHz), and its goal being to convert voltages from 500mV to 2.4V. The project is assisted in Electronic Design Automation environment (EDA), resorting to the Cadence Design Environment tool (CDE) and the respective CMOS technology kit. This is validated by extreme situation simulations, known as corners' simulation.

The circuit is designed and tested in schematic, allowing to get 2.4V with an entrance voltage from 0.4V to 0.6V. To make the layout in the simulator, the circuit is optimized to an entrance voltage of 0.5V. From the layout it's made a circuit extraction, including all the process parasite parameters.

Ultimately, the projected converter is based on a hybrid architecture, inductive and capacitive, allowing to convert a voltage of 0.5V to 2.4V, with a charge of 10 K Ω and a frequency of 10 MHz, being the implementation area of the circuit layout 303,974mm².

Key-words: boost, CMOS, DC-DC converter, energy harvesting, low voltage.

Conteúdo

Agradecimentos.....	iii
Resumo	v
Abstract.....	vii
Conteúdo	ix
Lista de figuras	xi
Lista de abreviaturas	xiii
1. Introdução.....	1
1.1. Enquadramento e Motivação	1
1.2. Recolha de energia (Energy Harvesting)	2
1.3. Estado da arte.....	2
1.4. Tecnologia CMOS.....	3
1.5. Objetivos.....	5
1.6. Estrutura	5
2. Circuitos de conversão CC-CC elevadores de tensão.....	7
2.1. Princípio de funcionamento do conversor elevador de tensão indutivo (boost)	8
2.2. Princípio de funcionamento do conversor elevador de tensão capacitivo (charge-pump)	14
2.3. Princípio de funcionamento do LDO	22
2.4. Circuito proposto.....	24
3. Esquema elétrico do conversor DC-DC	25
3.1. Boost.....	25
3.2. Charge-pump	26
3.3. LDO	28
3.3.1. Bandgap	30
3.3.2. OTA	32
3.3.3. Fonte de corrente	33
4. Implementação e resultados.....	35
4.1. Circuito de potência	35
4.1.1. <i>Step-up</i>	36
4.1.2. <i>Ring-oscillator</i>	38

4.1.3. Teste do circuito de potência	40
4.2. Teste do conversor	40
4.3. <i>Layout</i> e resultados de simulação do circuito extraído	41
5. Conclusões	45
5.1. Sumário e conclusões.....	45
5.2. Trabalhos futuros	46
Referências bibliográficas.....	47
Anexos.....	51
Anexo A – Ring-Oscillator	51
Anexo B – Boost	52
Anexo C – Charge-pump (dois estágios)	52
Anexo D – OTA.....	53
Anexo E – Bandgap	54
Anexo F – Fonte de corrente de referência.....	54

Lista de figuras

Figura 1: Estrutura da tecnologia CMOS, com <i>n-well</i> simples a), e <i>deep n-well</i> b) (retirado de [37]).	4
Figura 2: Conversor elevador de tensão (retirado de [5])	7
Figura 3: Esquema do conversor elevador de tensão do tipo indutivo (<i>boost</i>).	8
Figura 4: Comportamento dos transístores N_LV_122_HSL130E e N_HGLV_33_L130E	10
Figura 5: Impulsos de comando e impulsos obtidos no <i>boost</i>	11
Figura 6: Variação da tensão na bobine quando $V_{in}=0,3V$ (a vermelho) e $V_{in}=0,6V$ (a verde).	12
Figura 7: Duplicador de tensão ideal [24].	14
Figura 8: <i>Charge-pump</i> de Dickson [25].	14
Figura 9: Esquema elétrico do <i>charge-pump</i> adaptado de [5].	15
Figura 10: Tensão no <i>charge-pump</i> em T1	16
Figura 11: Tensão no <i>charge-pump</i> em T2	17
Figura 12: Tensão antes e após transístores em diodo do primeiro estágio de <i>charge-pump</i>	18
Figura 13: Tensão à saída do <i>charge-pump</i> com transístores em diodo	19
Figura 14: Esquema elétrico do <i>charge-pump</i> com transístores do tipo P	19
Figura 15: Esquema elétrico do <i>charge-pump</i> de dois estágios, com transístores do tipo P	20
Figura 16: Tensão à saída do <i>charge-pump</i> com transístores do tipo P	21
Figura 17: Impulsos CLK (em cima) e impulsos CLK invertidos (em baixo)	22
Figura 18: Esquema elétrico de um LDO clássico (adaptado de [36])	23
Figura 19: Diagrama de blocos do circuito proposto	24
Figura 20: Tensão à saída do <i>boost</i> (a preto) e tensão que comanda o <i>boost</i> (a vermelho) com tensão de entrada de 0,3V	25
Figura 21: Tensão à saída do <i>boost</i> (a preto) e tensão que comanda o <i>boost</i> (a vermelho) com tensão de entrada de 0,6V	26
Figura 22: Tensão à saída do <i>charge-pump</i> com tensão de entrada de 0,3V	27
Figura 23: Tensão à saída do <i>charge-pump</i> com tensão de entrada de 0,6V	27
Figura 24: Esquema elétrico do LDO	28
Figura 25: Esquema elétrico do <i>bandgap</i>	30
Figura 26: Tensão de referência fornecida pelo <i>bandgap</i> em função da temperatura	30
Figura 27: Tensão de referência fornecida pelo <i>bandgap</i> em função da tensão de entrada	31
Figura 28: Tempo de arranque do <i>bandgap</i>	31
Figura 29: Esquema elétrico do OTA	32
Figura 30: Diagrama de ganho do amplificador em malha aberta	32
Figura 31: Esquema elétrico da fonte de corrente	33
Figura 32: Corrente de referência em função da temperatura	34
Figura 33: Corrente de referência em função da temperatura quando ligada com <i>bandgap</i>	34
Figura 34: Esquema elétrico do circuito de potência	35
Figura 35: Montagem elétrica de teste do <i>step-up</i>	36
Figura 36: Tensão à saída do <i>step-up</i> com tensão de entrada de 0,3V	36

Figura 37: Tensão à saída do <i>step-up</i> com tensão de entrada de 0,4V	37
Figura 38: Tensão à saída do <i>step-up</i> com tensão de entrada de 0,6V	37
Figura 39: Esquema elétrico do <i>ring-oscillator</i>	38
Figura 40: Esquema elétrico do <i>ring-oscillator</i> com estágios de adaptação	39
Figura 41: Impulsos obtidos à saída do <i>ring-oscillator</i>	39
Figura 42: Tensão à saída do circuito de potência	40
Figura 43: Tensão à saída do conversor	41
Figura 44: <i>Layout</i> do conversor	42
Figura 45: Tensão à saída do conversor extraído para os nove <i>corners</i>	43
Figura 46: Tensão à saída do conversor extraído para os nove <i>corners</i> em regime permanente	43

Lista de abreviaturas

CDE – Cadence Design Environment

CI – Circuito Integrado

CMOS – Complementary Metal-Oxide-Semiconductor

CTS - Charge Transfer Switch

EDA - Electronic Design Automation

LDO – Low Dropout Voltage Regulator

MOSFET - Metal Oxide Semiconductor Field Effect Transistor

OTA – Operational Transconductable Amplifier

RF - Radio Frequency

SOI - Silicon-On-Insulator

STI - Silicon Trench Isolation

1. Introdução

1.1. Enquadramento e Motivação

Atualmente a procura de fontes de energia portátil tem vindo a aumentar. Desta forma, têm-se procurado fontes que recolham energia do ambiente envolvente, visto que constituem uma alternativa viável para fornecer energia a aplicações que se pretendem energeticamente autónomas e de baixa potência. Este tema tem sido assunto de estudo em diversos trabalhos de investigação [1], [2], [3], [4].

Analogamente, tem-se procurado aumentar a portabilidade e a autonomia de dispositivos eletrónicos e desenvolver novos métodos para fornecer energia a CIs [5]. Assim, dispositivos em que a troca de bateria não é possível ou de difícil acesso, que consigam auto sustentar-se energeticamente, através da energia recolhida no ambiente circundante, são muito interessantes para várias aplicações. Alguns exemplos destas aplicações são sensores inteligentes, relógios de pulso, equipamento desportivo inteligente, aplicações ambientais, monitorização de parâmetros biomédicos, monitorização de segurança, entre outras [5], [6], [7], [8].

No entanto, há limitações para a utilização destas fontes. Com efeito, as fontes de recolha de energia apenas fornecem tensões muito baixas, na ordem das dezenas ou centenas de mV. Isto implica que será necessário converter as tensões para uma tensão mais elevada, usando, por exemplo, um conversor CC-CC, preferencialmente, mas não obrigatoriamente, com eficiência elevada [1], [7].

As tecnologias atuais de fabricação de circuitos integrados propõem diferentes tensões de limiar para os transístores MOS, incluindo dispositivos com tensões de limiar baixas ou mesmo nulas. Deste modo, existe a possibilidade de projetar circuitos cujas tensões de entrada são muito baixas. Dado que a tensão de limiar dos transístores MOS da tecnologia CMOS convencional é, normalmente, mais elevada que a tensão de saída da fonte de recolha de energia, é necessário, quando isto se verifica, recorrer a um circuito de arranque do conversor CC-CC a partir da baixa tensão. Apesar de já existirem estudos e projetos acerca de conversores deste género, verifica-se que, projetar um conversor CC-CC com uma tensão de entrada muito baixa em tecnologia CMOS, é um tópico de investigação pouco explorado e desafiante, visto que há ainda pouca literatura acerca de circuitos que operem a tensões de entrada na ordem das centenas de mV [1], [3].

Neste trabalho pretende-se estudar e projetar um conversor CC-CC elevador de tensão dedicado a aplicações de recolha de energia, para integração em tecnologia CMOS de 130nm. Pretende-se que este converta uma tensão nominal de entrada de 500mV em 2,4V, sendo ativado com potências muito baixas (da ordem dos micro-Watt).

1.2. Recolha de energia (Energy Harvesting)

A recolha de energia é uma técnica utilizada há vários anos para diversas aplicações, como moinhos (de vento ou água), sistemas solares, entre outros. No entanto, estes não são aplicáveis a projetos eletrónicos, em que o objetivo é não fazer uso de qualquer tipo de ligação por fios, incluindo cabos de energia [9] de modo a que o sistema tenha portabilidade. Não obstante, a recolha de energia é uma técnica deveras atrativa para um alargado número de microssistemas autossustentáveis.

Dada a diversidade de fontes de recolha de energia, surgiram também várias técnicas de conversão. Assim, as fontes de micro energia passíveis de serem utilizadas em projetos de tecnologia de muito-baixa potência são:

- Movimento, vibração ou energia mecânica (neste grupo também se considera o transdutor eletromecânico que pode ser eletromagnético [10], electrostático [11], ou piezoelétrico [12]);

- Eletromagnético (RF);

- Térmicos;

- Diferenças de pressão;

- Micro fluxos de água;

- Solar e luminosa;

- Biológica (p. ex., temperatura do corpo humano).

Há ainda outro critério de classificação que tem em conta como parâmetros quem ou o quê providencia a energia para conversão. Neste são considerados dois tipos: energia humana, que considera a energia fornecida pela atividade de seres humanos ou animais; o segundo tipo considera as fontes de recolha de energia a partir do ambiente envolvente [4], [13].

Dado que a recolha de energia não é contínua, o modo de operação dos dispositivos e circuitos alimentados por esta energia vai depender da potência recolhida. Podem-se distinguir dois modos de funcionamento: contínuo, no caso em que o consumo de potência do dispositivo é mais baixo que a potência média recolhida; descontínuo, quando o consumo de potência do dispositivo é maior que a potência média recolhida. Neste modo o tempo entre operações depende da energia armazenada no dispositivo [4], [13].

1.3. Estado da arte

É possível encontrar na literatura vários trabalhos de interesse, com circuitos e arquiteturas diferentes. No trabalho apresentado em [9], o conversor CC-CC é alimentado com 0,6V, sendo necessária uma tensão externa de 2V para que o circuito arranque. O circuito apresentado em [10] cuja tensão de entrada são 20mV, necessita de uma tensão externa adicional de 0,65V. Em [11] é representado um conversor elevador de tensão em que a tensão de entrada é 35mV, não sendo necessária uma tensão externa, desde que se aplique um circuito de arranque com um interruptor mecânico, o que limita o campo de aplicações. No trabalho apresentado em [12] o elevador de tensão do CI é utilizado como circuito de arranque, mas a sua implementação é feita num processo não convencional, de Silício em isolante (SOI, *Silicon-On-Insulator*). Já nos trabalhos apresentados em

[13]–[15], o circuito de arranque e o conversor elevador são integrados usando tecnologia CMOS convencional. Porém, o circuito de arranque não é feito utilizando um intensificador de tensão, sendo a tensão de arranque mínima superior a 0,9V, que por sua vez é superior à tensão de saída das fontes de recolha de energia. Deste modo observa-se que, para se conseguir cumprir os requisitos de aplicações de recolha de energia, é necessário integrar um circuito de arranque de baixa tensão com um conversor elevador utilizando tecnologia CMOS convencional [1].

Como já foi referido, a tensão obtida a partir das fontes de recolha de energia tem que ser aumentada para níveis habitualmente usados na alimentação de circuitos de sinais mistos (*mixed-mode*). Para isso são usados conversores CC-CC, onde, na implementação em CI, esta conversão é feita habitualmente através de circuitos de bombeamento de cargas, vulgarmente designados por *charge-pump*. Desenvolveram-se várias arquiteturas com o objetivo de melhorar o desempenho dos *charge-pump*. Todavia, poucas destas arquiteturas são adequadas a aplicações de recolha de energia. Isto deve-se, principalmente, à baixa condutividade do canal do transístor MOS, quando polarizado com tensões de alimentação demasiado baixas. Os conversores capacitivos mostram um desempenho medíocre quando usados em aplicações de baixa tensão, sendo necessário recorrer a vários estágios elevadores de tensão, o que provoca uma eficiência global baixa [3], [5].

Os parâmetros principais dos trabalhos referidos encontram-se na Tabela 1, permitindo assim comparar e ter uma perceção mais adequada dos trabalhos já desenvolvidos.

Tabela 1: Publicações relevantes para o estudo de conversores elevadores CC-CC para aplicações de *energy harvesting*.

Artigo	Ano	Tecnologia	Área (mm ²)	Tensão de entrada V _{in} (V)		Tensão de saída V _{out} (V)	Frequência (kHz)
				min	max		
[13]	2005	0,5 μm CMOS	4,56	1,1	5	2 – 5	300
[14]	2005	0,6 μm CMOS	4,9	1	3,6	1,5	100
[9]	2009	0,35 μm CMOS	59	0,6	n/d	2	42-320
[10]	2009	0,13 μm CMOS	n/d	0,02	0,25	1	n/d
[12]	2009	0,35 μm SOI BCD	5,76	0,4	2	3,6-15	20-200
[15]	2009	0,6 μm CMOS	1,15	0,6	n/d	2,7	600
[5]	2009	0,18 μm CMOS	0,405	0,2	0,4	1,2	7 000

n/d – não definido.

1.4. Tecnologia CMOS

Atualmente a tecnologia CMOS é vastamente utilizada em diversos circuitos e sistemas eletrónicos. Isto deve-se essencialmente ao seu baixo custo e maturidade do processo de fabrico

[16]. Têm-se verificado grandes avanços no que diz respeito ao processo e à litografia, tornando esta tecnologia muito competitiva em aplicações para muito alta frequência, comunicações móveis, aplicações biomédicas, informáticas, entre outros [17].

Neste trabalho recorre-se a tecnologia CMOS de sinais mistos (*mixed-mode*) e de rádio frequência (RF). O processo envolve 45 máscaras e uma litografia de 130nm. O substrato é do tipo P, com um total de nove níveis de interligação, um de poli-Silício e os restantes de cobre. O processo a utilizar é planar, com isolamento de óxido grosso do tipo STI (*Silicon Trench Isolation*).

Os poços disponíveis são do modo clássico, no entanto, existe também a possibilidade de utilizar poços do tipo *twin-well*, *triple* ou *deep n-well*. Os transístores são de 3,3 ou de 1,2V, estando disponíveis transístores com tensão de limiar muito baixa ou nula [18], [19].

Na Figura 1 está representada a secção transversal típica deste processo CMOS, na qual se representa em a) a estrutura *n-well* simples e em b) a estrutura *deep n-well*. Assim, é possível observar que o transístor PMOS é criado no poço-n, que está inserido no substrato “p” onde o transístor NMOS é criado. A estrutura *triple-well*, ou *deep n-well*, apresentada na figura 12 b) permite um melhor isolamento entre blocos digitais e analógicos, em circuitos de sinais mistos [37].

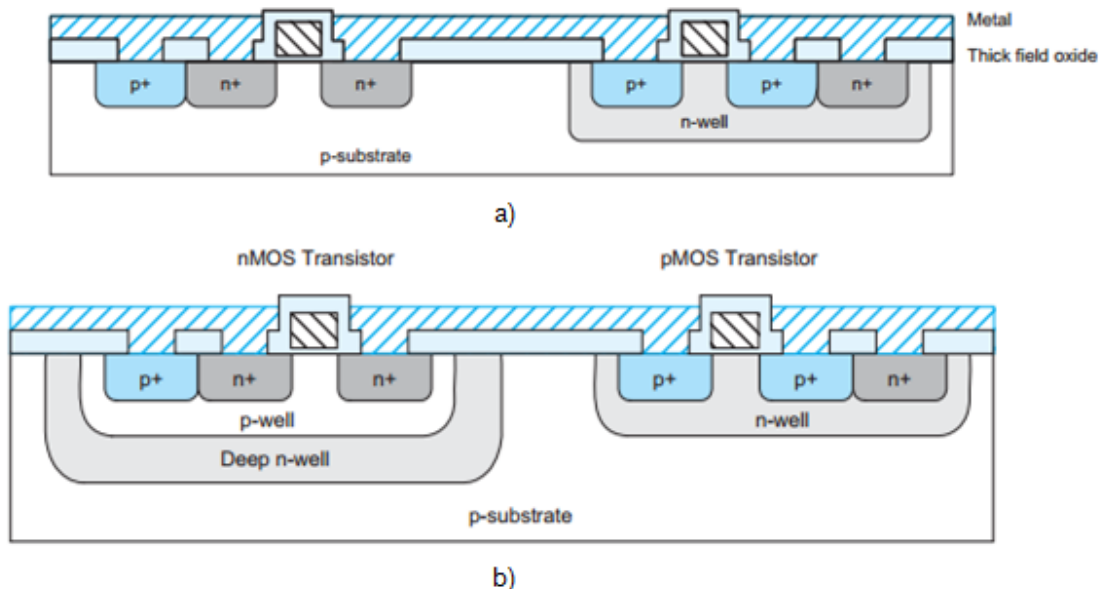


Figura 1: Estrutura da tecnologia CMOS, com *n-well* simples a), e *deep n-well* b) (retirado de [37]).

Para o projeto do circuito utilizou-se a ferramenta EDA (*Electronic Design Automation*) CDE (*Cadence Design Environment*) e o respetivo *kit* da tecnologia CMOS.

Para testar de forma abrangente o projeto, estão previstas simulações, no ambiente referido anteriormente, com os casos limite do processo, conhecido como simulação de *corners*, onde se pretende testar variações máximas e mínimas de alimentação e temperatura e variações de desempenho dos transístores MOS.

1.5. Objetivos

Como já foi referido as fontes de recolha de energia nem sempre conseguem fornecer a tensão necessária para os circuitos funcionarem corretamente. Desta forma, neste trabalho pretende-se potenciar a utilização das fontes de recolha de energia, através de um circuito integrado que permite converter tensões nominais de 0,5V, provenientes das fontes de recolha de energia, em 2,4V, de modo a poder alimentar outros sistemas integrados. Para o projeto do circuito é necessário efetuar um estudo dos circuitos que já foram desenvolvidos, cujo objetivo seja similar, de modo a poder aperfeiçoar, melhorar, ou desenvolver novos métodos.

De modo a conseguir uma melhor organização do circuito e do trabalho, pretende-se projetar o conversor dividindo-o em vários blocos funcionais. O facto de o circuito ser dividido em blocos possibilita testar cada bloco individualmente, permitindo desta forma melhorar o controlo de erros e otimizar o funcionamento de cada constituinte do conversor. Esta divisão permite também perceber mais facilmente o funcionamento do conversor.

Outros objetivos incluem obter uma tensão regulada à saída, com baixo tremor. As especificações principais do circuito a projetar estão apresentadas na Tabela 2.

Tabela 2: Especificações do circuito a projetar

Tecnologia	UMC 130nm MM/RF				
Parâmetros	Símbolo	Min	Typ	Max	Unidades
Temperatura	T	-40	27	125	°C
Tensão de entrada	V_{in}	0,4	0,5	0,6	V
Tensão de saída	V_{out}	2,4	2,4	2,4	V
Frequência de comutação	F	5	7	10	MHz
Carga	Ω		10		kOhm

1.6. Estrutura

Esta dissertação está organizada em cinco capítulos. No primeiro capítulo é feita uma introdução ao tema, apresenta-se o estado da arte e alguns sistemas já desenvolvidos para *energy harvesting* em CMOS. No segundo encontra-se uma explicação do circuito que serviu de base para o desenvolvimento do sistema estudado nesta dissertação, analisando cada elemento do circuito base. É também neste capítulo que se justificam algumas escolhas efetuadas, começando-se a caminhar para o conversor conseguido. O terceiro capítulo foca-se já na solução encontrada. É neste capítulo que se valida o funcionamento dos vários blocos que compõem o circuito. No quarto capítulo passa-se à validação do sistema completo, com apresentação de *layout* global e simulações pós *layout*. No quinto e último capítulo são feitas conclusões globais sobre o trabalho e apresentam-se sugestões de trabalho futuro sobre o tema.

2. Circuitos de conversão CC-CC elevadores de tensão

Uma solução para o problema da eficiência da conversão CC-CC, referida no capítulo 1.3, poderá passar pelo recurso a conversores baseados em elementos indutivos. Estes são usados em muitas aplicações de eletrónica de potência, não só na sua implementação discreta, como na implementação integrada, recorrendo geralmente a tecnologia CMOS convencionais. No entanto, os conversores integrados indutivos também estão limitados em eficiência quando em funcionamento com tensões muito baixas. Para se obter um rendimento aceitável, estes conversores devem usar sinais de relógio quase ideais, correntes elevadas e dispositivos com perdas muito baixas. A grande vantagem destes conversores relativamente aos capacitivos é o facto de conseguirem aumentar tensões para mais que o dobro num único estágio [3], [5], [22]. No entanto, alguns autores sugerem uma opção composta pelos dois tipos de topologias, apresentando sistemas híbridos, capacitivos-indutivos.

Um exemplo disso é o trabalho apresentado em [5], que é utilizado como base desta dissertação, em que os autores apresentam o circuito representado na Figura 2.

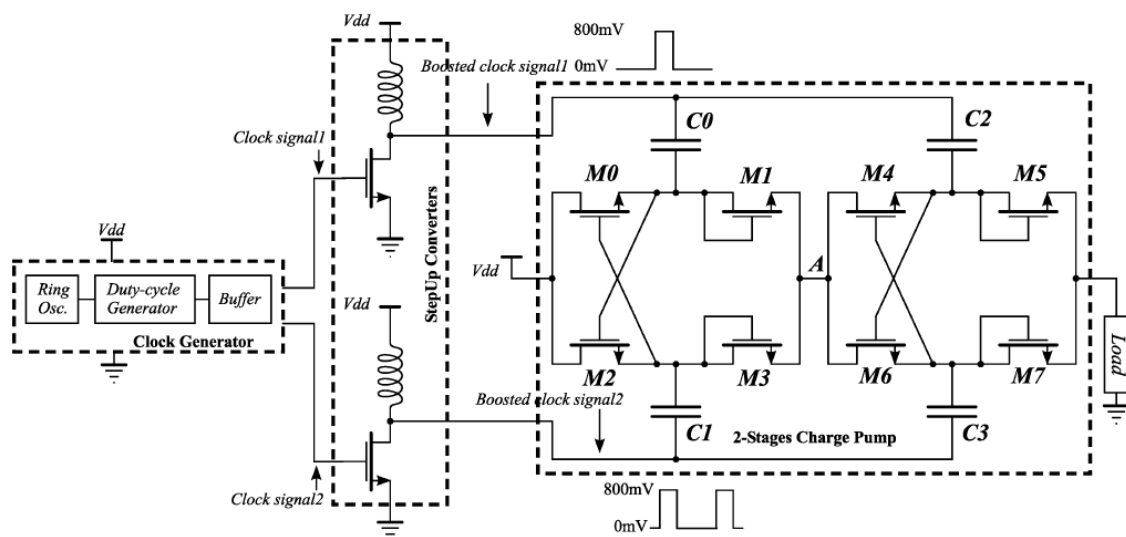


Figura 2: Conversor elevador de tensão (retirado de [5])

No trabalho [5] é demonstrado o funcionamento de um conversor CC-CC que converte 0,2V em 1,2V utilizando a tecnologia UMC-180nm. Para isso recorrem a dois conversores elevadores, daqui para a frente mencionados como *boost*, controlados pelo mesmo sinal de relógio, para aumentar a tensão de entrada de um *charge-pump* de dois estágios. Cada circuito *boost* quadruplica a tensão de 0,2V para 0,8V, de modo a que o *charge-pump* funcione como estágio final de incremento de tensão até 1,2V.

O circuito em causa não contempla qualquer tipo de controlo ou regulação da tensão de saída, como se pode confirmar na Figura 2. Pretende-se colmatar esta lacuna recorrendo a um regulador linear do tipo LDO (*Low Dropout Voltage Regulator*).

Segue-se uma análise mais detalhada sobre cada bloco que constitui o sistema proposto, de modo a perceber como se obtém o aumento da baixa tensão de entrada.

2.1. Princípio de funcionamento do conversor elevador de tensão indutivo (boost)

Um exemplo de um circuito elevador de tensão do tipo indutivo é a topologia *boost* utilizada em [5]. O esquema elétrico deste circuito está apresentado na Figura 3. Como se pode verificar, este é constituído por um interruptor (*switch*), uma bobina (L), um díodo e um condensador (C).

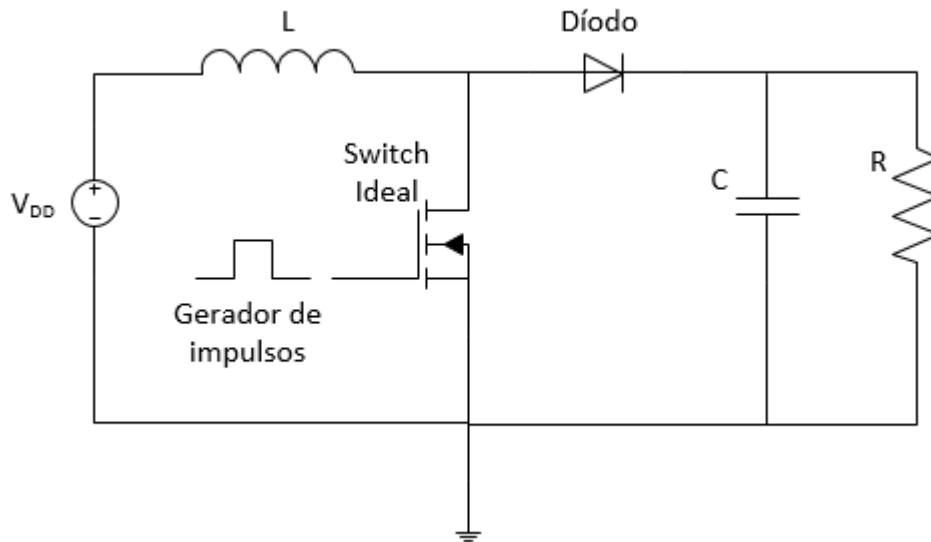


Figura 3: Esquema do conversor elevador de tensão do tipo indutivo (*boost*).

O interruptor é controlado pelos ciclos de relógio criados pelo gerador de impulsos. Quando o interruptor está à condução (ON), a bobina fica ligada à terra, habitualmente designada por *ground*, e a corrente flui a partir da fonte de energia e passa por L, onde a energia fica armazenada. Nesta fase o díodo não deixa passar corrente, pelo que a resistência e o condensador estão isolados e a resistência é alimentada pela carga do condensador. No momento em que o interruptor é desligado, é gerado um pico de tensão na bobina, forçando o díodo a entrar em modo de condução, o que implica que a corrente, armazenada anteriormente na bobina, chegue ao condensador e à resistência. Esta fase termina quando o interruptor é novamente colocado à condução, repetindo-se, ciclicamente, o processo descrito.

Quando a corrente na bobina é superior à corrente do condensador, a corrente flui para o condensador e para a carga. Quando isto não se verifica, a corrente flui da bobina e do condensador para a carga. Normalmente este circuito opera em modo de condução contínua, para que os picos de tensão sejam mais elevados. Estes também dependem da indutância da bobina (quanto maior a indutância mais elevados são os picos de tensão), do fator de ciclo do sinal de relógio, da condutividade do MOS e dos flancos dos impulsos de relógio (quanto mais abruptos, maiores os picos).

O fator de ciclo, D , do oscilador de onda quadrada que comanda o interruptor é bastante importante, uma vez que a tensão obtida à saída deste bloco está estritamente dependente daquele. Isto pode-se verificar dado a relação entre a tensão de saída, V_o , e de entrada, V_i , para este tipo de conversor, que está evidenciada na seguinte expressão:

$$\frac{V_o}{V_i} = \frac{1}{1-D}; \quad 0 \leq D \leq 1 \quad (1)$$

Assim é possível verificar que quanto maior o fator de ciclo maior vai ser a tensão à saída, quando a tensão de entrada é constante

Verifica-se a necessidade de utilizar um conversor elevador de tensão indutivo uma vez que a tensão inicial é da ordem das centenas de mV e o *charge-pump* não funciona com uma tensão tão baixa. Então, é necessário um bloco que aumente a tensão de entrada de modo a que o *charge-pump* funcione corretamente. Um circuito que se adequa à situação é o *boost* explicado anteriormente, uma vez que permite aumentar tensões muito baixas para, pelo menos, o dobro.

Dado que este circuito arranca a partir de tensões muito baixas, é necessário testar o seu comportamento. Deste modo, é possível verificar que o fator mais limitativo deste bloco é o transístor, pois é necessário que a tensão na *gate* seja suficientemente elevada para o colocar à condução.

Para definir quais os transístores mais adequados para fazer o *pull-down*, são realizadas simulações com os vários dispositivos disponíveis da tecnologia CMOS utilizada. Os transístores passíveis de serem utilizados são do tipo N, com uma baixa tensão de limiar. Assim, dos disponíveis, só dois correspondem às especificações referidas, sendo estes: N_LV_122_HSL130E e N_HGLV_33_L130E, cujas características principais estão resumidas na Tabela 3. Testando o funcionamento destes dois transístores, é possível obter o resultado explanado na Figura 4. Nesta figura é possível observar o valor da corrente nos transístores conforme a variação da tensão na *gate*. De acordo com estes resultados é possível observar que o transístor N_LV_122_HSL130E tem um comportamento consideravelmente melhor, uma vez que apresenta valores de corrente consideráveis para valores de tensão baixas (22,54µA @ 0,3V).

Tabela 3: Características dos transístores testados para o bloco *boost*.

Transístor	Tipo	Características	Tensão de limiar	Diferença de tensão máxima entre terminais (V)
N_LV_122_HSL130E	N	Velocidade alta	Baixa	1,2
N_HGLV_33_L130E	N	Ganho alto	Baixa	3,3

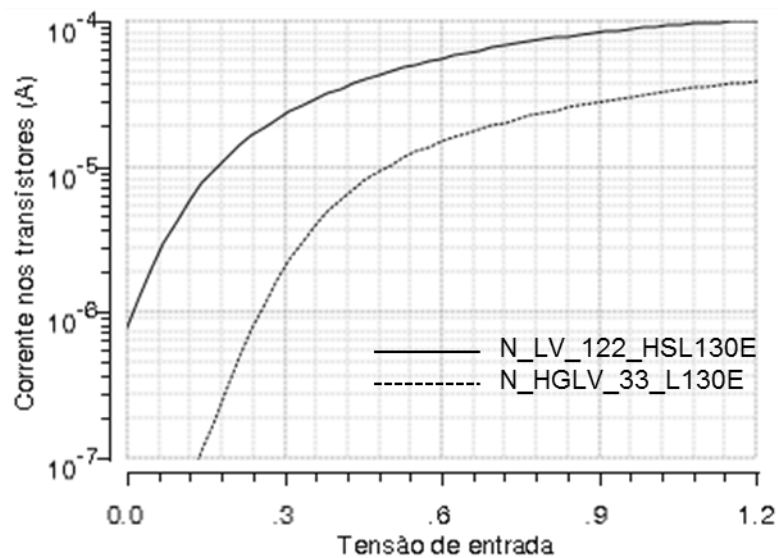


Figura 4: Comportamento dos transistores N_LV_122_HSL130E e N_HGLV_33_L130E

Assim, para o presente bloco é utilizado o transistor N_LV_122_HSL130E. É importante salientar que este transistor está limitado a uma tensão máxima de 1,2V, ou seja, só abaixo deste valor se garante o bom funcionamento do transistor. De modo a reduzir a resistência imposta por este é necessário dimensionar a largura (W) deste transistor para que o circuito tenha um comportamento mais próximo do ideal. Através da análise dos resultados de simulação conclui-se que são necessários dois destes transistores e que o tamanho mais adequado para os dois transistores é 500 μm de largura por 120nm de comprimento.

Como será referido mais à frente no texto, o *charge-pump* utiliza dois impulsos desfasados para conseguir aumentar a tensão. Para conseguir um bom funcionamento do *charge-pump* estes impulsos não se devem sobrepor, obrigando à existência de dois impulsos diferentes. Uma vez que são necessários dois impulsos, pode também ser necessário utilizar dois circuitos *boost*. No caso em que o fator de ciclo é de 50% só seria necessário utilizar um *boost*, uma vez que um inversor após este elemento permitiria obter uma segunda onda desfasada da primeira. No entanto, para qualquer caso em que o fator de ciclo seja diferente de 50% a utilização de um inversor não seria suficiente, uma vez que as ondas não ficariam desfasadas, mas sim com o fator de ciclo oposto. Nestas situações são então necessários dois *boost*, um para cada impulso. Esta necessidade pode ser mais facilmente perceptível observando a Figura 5, onde se ilustram os impulsos que comandam os transistores dos *boost*, V_{x1} e V_{x2} , (denominados como “impulsos de comando”) e os impulsos que chegam ao *charge-pump* V_{y1} e V_{y2} (denominados como “impulsos *boost*”), para o caso em que o fator de ciclo é de 75%. Nesta imagem é também facilmente perceptível que o fator de ciclo dos impulsos provenientes dos *boost* é inverso do fator de ciclo que os comandam. Assim, um fator de ciclo de 75% à entrada do *boost* corresponde a um fator de ciclo de 25% à entrada do *charge-pump*.

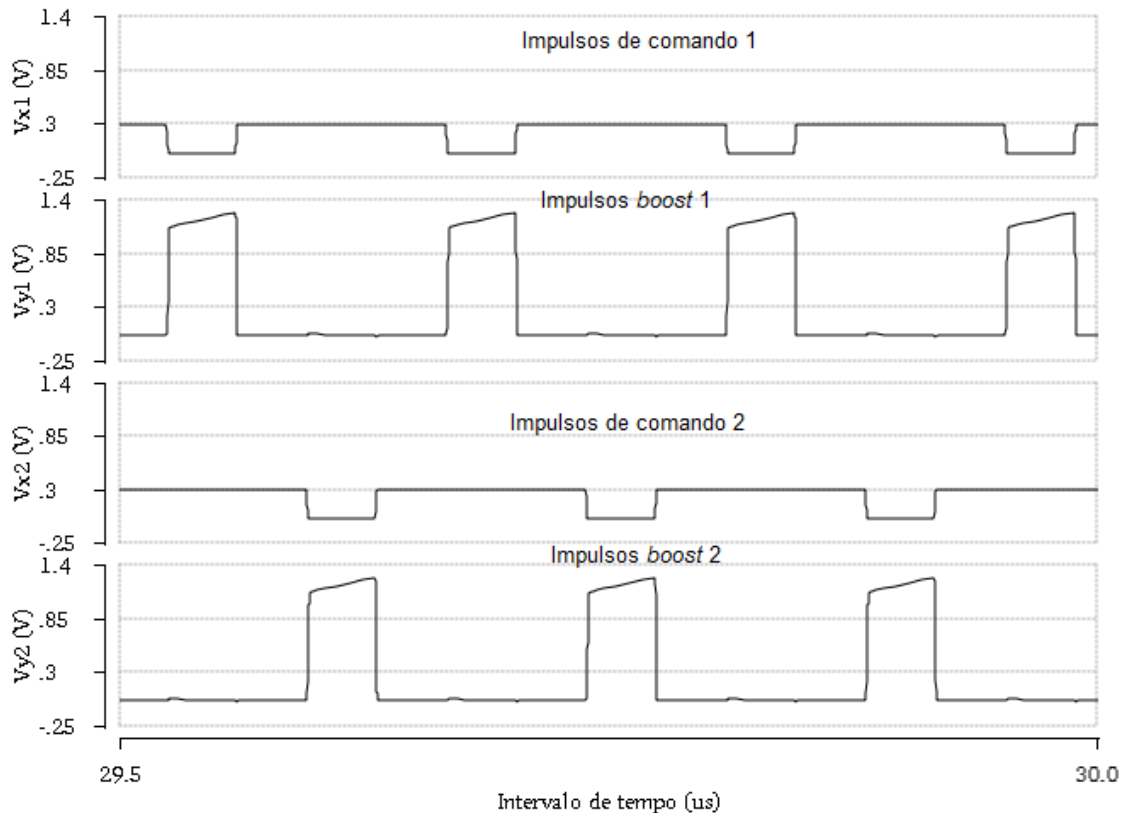


Figura 5: Impulsos de comando e impulsos obtidos no *boost*

Dado que os impulsos não se podem sobrepor, o menor fator de ciclo possível é de 50%. De modo a conseguir o correto funcionamento do bloco, é utilizado um transístor que não suporta diferenças de potencial superiores a 1,2V entre terminais, como já foi referido. Este facto, associado ao fator de ciclo mínimo referido anteriormente, limita a tensão máxima de entrada do sistema em estudo. Desta forma, dado que para um fator de ciclo de 50% a tensão de entrada é aumentada para impulsos com o dobro da amplitude (como referido no capítulo anterior) e dado que esta amplitude máxima está limitada a 1,2V, conclui-se que a tensão máxima à entrada será metade deste valor. Consequentemente, a tensão máxima à entrada, que permite um bom funcionamento do circuito sem exceder a tensão limite dos transístores, é de 0,6V.

Considerando estas limitações, e para garantir um bom funcionamento deste bloco, definiu-se um fator de ciclo máximo de 75%. Este valor é obtido tendo em conta que a tensão de entrada mínima, para a qual o conversor funciona é 0,3V. Relembrando que a tensão limite dos transístores é 1,2V, conclui-se que o circuito *boost* só pode aumentar esta tensão até ao quádruplo, o que limita o fator de ciclo. Como foi observado no capítulo anterior, o fator de ciclo que implica que a tensão de entrada seja aumentada por um fator de “4” é um fator de ciclo de 75%.

Uma vez que estas variações de tensão conforme o fator de ciclo não são facilmente perceptíveis, convém fazer uma análise mais detalhada sobre estas. Como é sabido, a tensão média na bobina é nula durante cada ciclo do controlo. Assim, é possível escrever que:

$$V_{LON} \times D = V_{LOFF} \times (1 - D) \quad (2)$$

sendo D o fator de ciclo, V_{LON} e V_{LOFF} a tensão na bobina quando o transístor do *boost* que faz a ligação a *ground* está ligado e desligado, respetivamente.

Dado que a tensão máxima permitida no transístor N_LV_122_HSL130E são 1,2V, então $|V_{LON} + V_{LOFF}| = 1,2V$. Assim, para o caso em que $V_{LON} = 0,3V$, $|V_{LOFF}|$ será 0,9V; e para o caso em que $V_{LON} = 0,6V$, $|V_{LOFF}|$ será 0,6V, confirmando a expressão (2). Seguidamente apresenta-se na Figura 6 um gráfico que explana esta situação. A vermelho encontram-se os dados correspondentes à situação em que a tensão de entrada é 0,3V e a verde os dados quando a tensão de entrada é 0,6V.

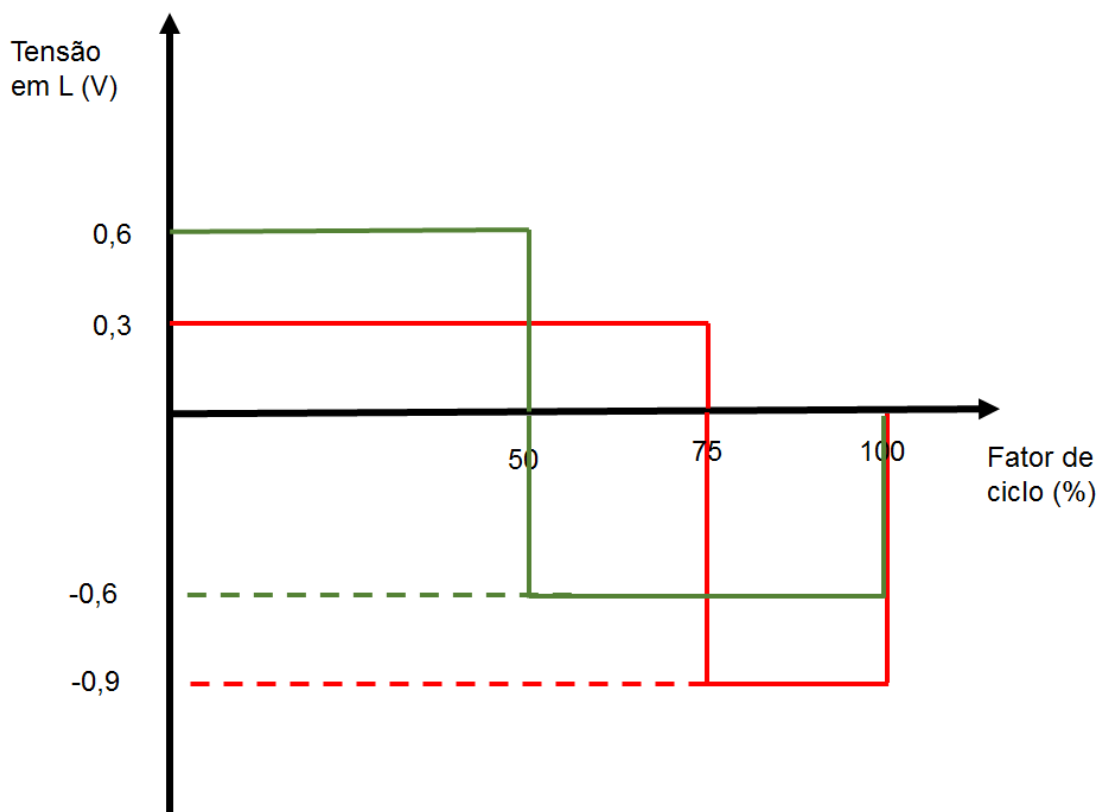


Figura 6: Variação da tensão na bobine quando $V_{in} = 0,3V$ (a vermelho) e $V_{in} = 0,6V$ (a verde).

Como se pode observar por este gráfico, para as duas tensões de entrada referidas, a tensão média é nula, podendo ser observado pelo facto de a área acima do eixo horizontal (zero) é igual à área abaixo deste eixo.

O valor nominal escolhido para a indutância da bobina, foi obtido segundo as considerações apresentadas em seguida. Considerando que a tensão na bobina, V_L , é definida por:

$$V_L = L \frac{\Delta I_L}{\Delta t} \quad (3)$$

Sendo Δt o tempo em que se considera que o interruptor está ligado, ou seja, em condução, então:

$$\Delta t = D \times T \quad (4)$$

Dado que ΔI_L é a variação de corrente na bobina, então, no limite do modo de condução contínuo, será o dobro da corrente de entrada. Assim, pode escrever-se:

$$\Delta I_{L(max)} = 2I_{in} \quad (5)$$

$$I_{in} = I_o = \frac{V_o}{R} \quad (6)$$

Uma vez que se pretende um mínimo de $V_o = 2,4V$ e se definiu um valor de $R=10k\Omega$, então $I_{in} = 240\mu A$. Assim sendo o valor mínimo da bobina é obtido através de:

$$L_{min} = \frac{V_L \Delta t}{\Delta I_L} \quad (7)$$

Assim, para uma frequência de comutação $f_s = 7MHz$, $D=0,75$, $R=10k\Omega$ foi obtido o valor de $L=112\mu H$.

2.2. Princípio de funcionamento do conversor elevador de tensão capacitivo (charge-pump)

O *charge-pump* é um circuito que tem vindo a ser estudado há alguns anos, o que levou ao desenvolvimento de várias topologias com princípios de funcionamento semelhantes [23], [24]. Para perceber o funcionamento destes circuitos pode-se observar o circuito representado na Figura 7, que é constituído por um condensador e três interruptores.

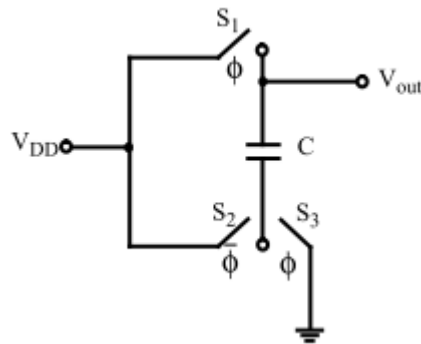


Figura 7: Duplicador de tensão ideal [24].

Esta topologia é comumente chamada de duplicador de tensão (*voltage doubler*). Consideram-se ϕ e $\bar{\phi}$ dois impulsos de relógio desfasados de 180° . Assim, os interruptores S_1 e S_3 estão fechados durante a fase ϕ , provocando desta forma que o condensador fique carregado com V_{DD} . Seguidamente, S_1 e S_3 abrem e o interruptor S_2 é fechado. Desta forma a placa de fundo do condensador fica a V_{DD} e o condensador mantém a energia armazenada anteriormente. Isto implica que durante esta fase, $\bar{\phi}$, a tensão de saída será $V_{out}=2 V_{DD}$ [24].

O circuito concebido por Dickson [25], apresentado na Figura 8, é o mais usado como base para outras topologias de *charge-pump*. Neste circuito os condensadores são sucessivamente descarregados em cada ciclo dos impulsos de relógio. No entanto, o *charge-pump* de Dickson tem um fraco desempenho quando aplicado em operações de baixa tensão [1], [23], [24], devido à queda de tensão dos díodos na condução.

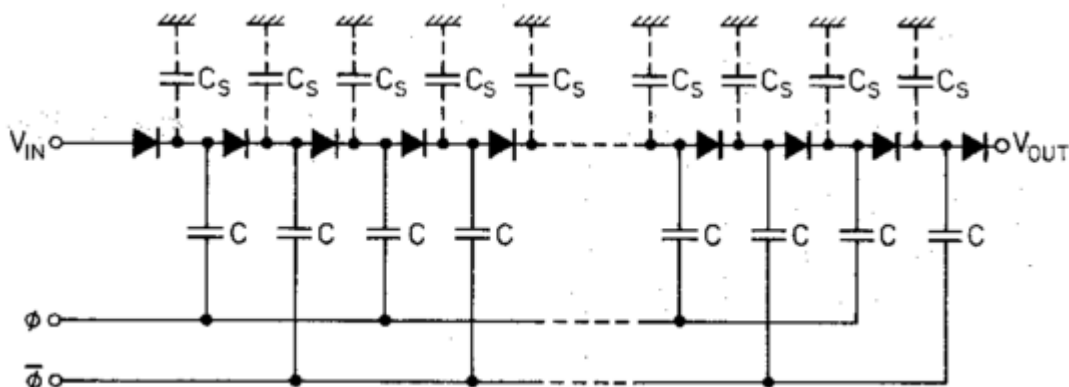


Figura 8: *Charge-pump* de Dickson [25].

Surgiram várias arquiteturas baseadas na topologia de Dickson, que apresentam uma melhor eficiência [26]–[32]. Com o objetivo de eliminar o problema de efeito de corpo dos MOSFETs foi utilizado em [26], num processo de poço triplo (*triple-well*), a técnica de poço flutuante (*floating-well*) ou dispositivos com ligação fonte-corpo (*source-bulk*). Apesar disso, esta técnica pode gerar uma corrente no substrato que influencia outros circuitos no mesmo CI. A técnica de ligação *source-bulk* leva também ao aumento da capacidade parasita em cada nó. Em [27] usam-se MOSFETs auxiliares, no entanto estes também podem gerar uma corrente no substrato dos dispositivos formados em *floating-well*. Outras modificações, com o objetivo de melhorarem a eficiência passaram por utilizar um gerador de impulsos com quatro fases, descrito em [28]–[31], utilizar um *charge-pump* extra [32] com mais estágios do que o *charge-pump* principal, com o objetivo de o controlar. No entanto, esta última modificação implica uma maior ocupação de área de Silício, além do facto de um *charge-pump* extra implicar também um maior consumo de energia. Surgiu também outra topologia, [33], em que o interruptor de transferência de carga (CTS-*Charge Transfer Switch*), controlado pelo circuito dinâmico de controlo, é usado para transferir energia de um estágio para o seguinte, sem sofrer limitações da tensão de limiar [23], [24].

O *charge-pump* utilizado em [5] tem um esquema elétrico como o representado na Figura 9. Como se pode observar esta topologia de *charge-pump* é constituída por quatro transístores do tipo NMOS, três condensadores e uma resistência. Um dos condensadores e a resistência constituem a carga deste bloco.

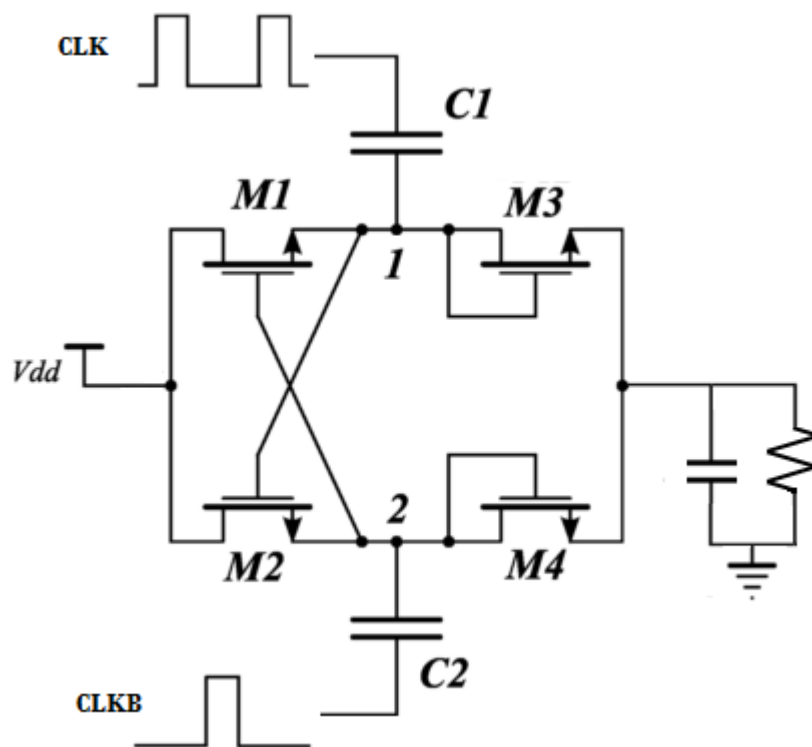


Figura 9: Esquema elétrico do charge-pump adaptado de [5].

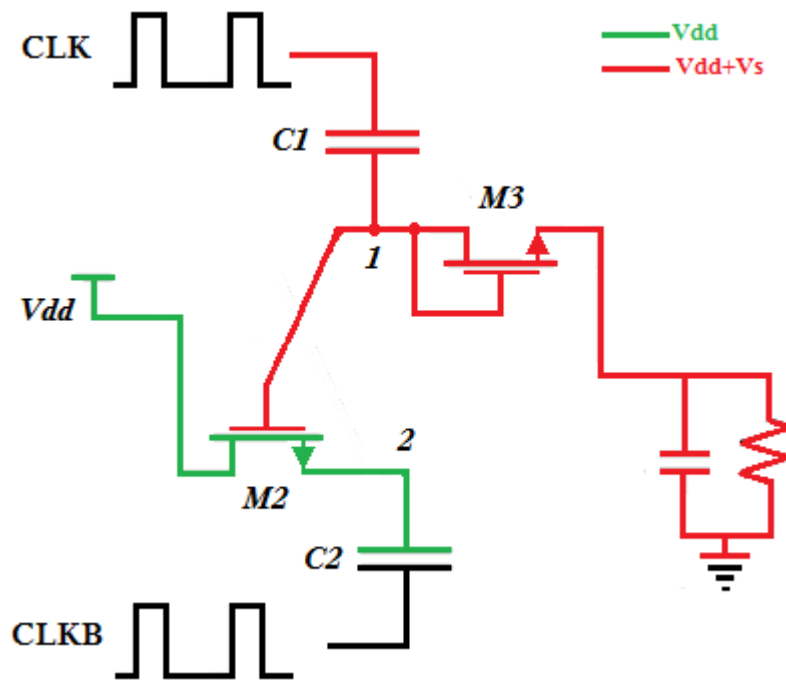


Figura 11: Tensão no *charge-pump* em T2

Desta forma, consegue-se à saída uma tensão $V_{out}=V_{DD}+V_s$. Verifica-se ainda que a tensão à saída sofre quedas devido aos intervalos entre os flancos descendentes e ascendentes dos impulsos de relógio. Estas quedas podem ser eliminadas colocando à saída um condensador, que faz a função de filtro.

Objetivando, este bloco consegue aumentar uma tensão de 1,2 V, fornecida pelos *boost*, para uma tensão de $1,2+V_{dd}$. Uma vez que se pretende que a tensão de saída seja da ordem de 2,4 V, então este circuito não é suficiente visto que apenas atingiria, idealmente, 1,5V para o caso em que a tensão de entrada seja 0,3V, ou 1,8V para o caso em que a tensão de entrada fosse 0,6V. Assim, há a necessidade de utilizar mais um estágio. O funcionamento do segundo estágio é em tudo igual ao do primeiro. Isto implica que é possível obter à saída uma tensão de $2 \times 1,2 + V_{dd}$. Assim, idealmente, é possível obter à saída uma tensão de 2,7V, quando $V_{dd} = 0,3V$ e uma tensão de 3V, quando $V_{dd} = 0,6V$. É preciso ter atenção o facto de estes valores serem apenas para circuitos ideais e sem perdas.

Testando esta montagem verifica-se que os transístores M3 e M4 apresentam uma queda de tensão demasiado elevada para o objetivo proposto, uma vez que, quando à condução, estão sempre no modo de saturação. Para testar esta montagem podem-se utilizar elementos ideais na função dos restantes blocos. Começa-se por testar o caso em que o objetivo seja mais facilmente conseguido, ou seja, em que a tensão de entrada é de 0,6V. Desta forma utilizam-se dois geradores de impulsos que criam os impulsos CLK e CLKB cuja amplitude é de 1,2 V e cujo fator de ciclo é de 50%. A fonte de tensão utilizada é de 0,6V, que corresponde à tensão máxima de entrada permitida pelo *boost*.

Na Figura 12 apresentam-se as tensões antes e após os transístores M3 e M4 do primeiro estágio do *charge-pump*. Antes destes, a tensão corresponde à tensão de 1,2V fornecida pelo *boost*,

somada de 0,6V da tensão de entrada, perfazendo um total de 1,8V. No entanto, devido a perdas nos primeiros transístores, a tensão real obtida é de 1,75V. Como se pode observar na Figura 12 após os transístores M3 e M4 apenas se obtêm 1,25V, implicando uma queda de tensão de cerca de 0,5 V. Este facto evidencia que os transístores montados em díodo não permitem obter os resultados desejados.

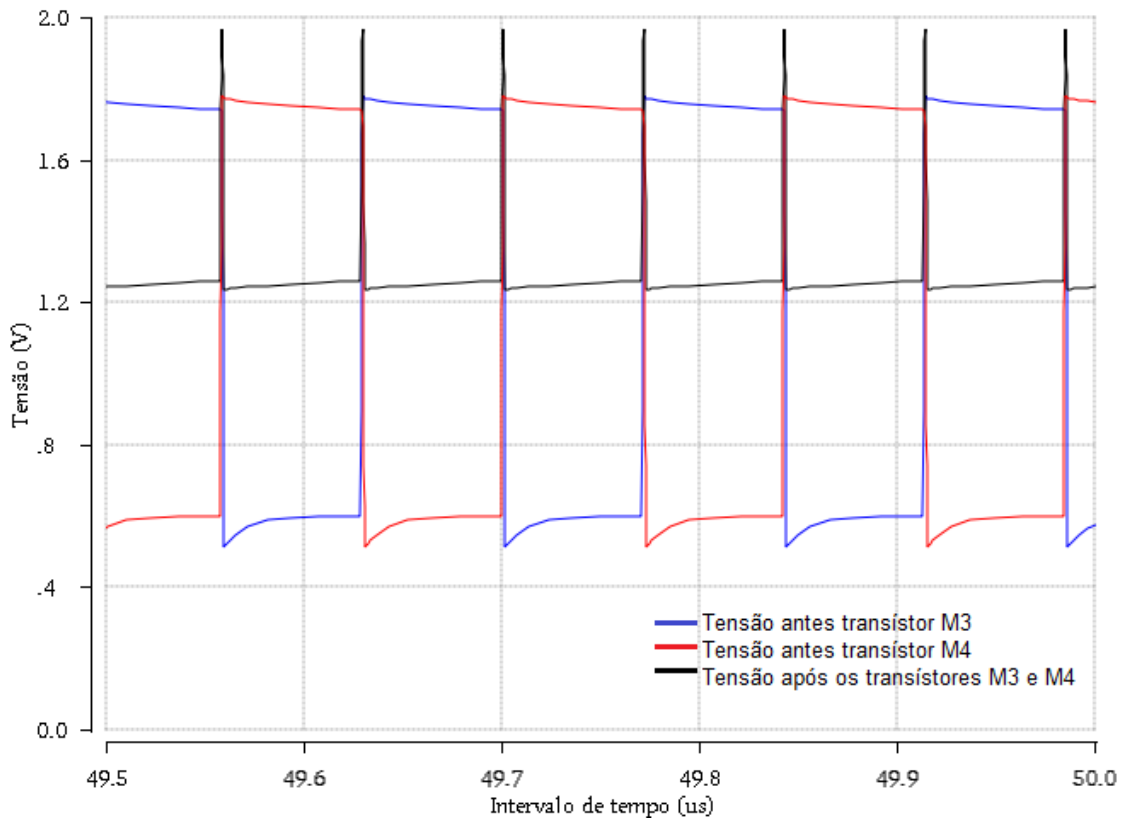


Figura 12: Tensão antes e após transístores em díodo do primeiro estágio de *charge-pump*

Como é possível verificar pela Figura 13, a tensão à saída do *charge-pump* é de 1,84V, não atingindo o valor mínimo pretendido de 2,4V, e tão pouco o valor para o qual o bloco está projetado, 3V.

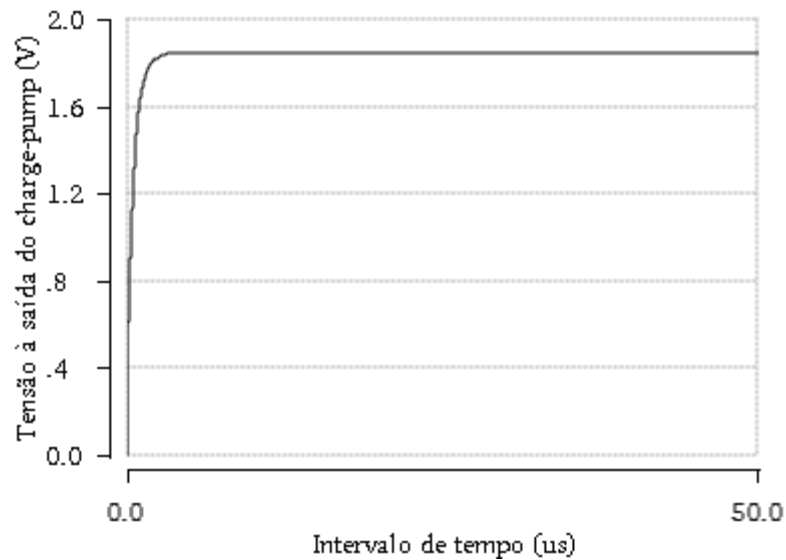


Figura 13: Tensão à saída do *charge-pump* com transístores em díodo

Apesar de ser aceitável que o circuito tenha perdas, não é aceitável que as perdas sejam de 1,16V. Sendo assim é possível concluir que os transístores do tipo N ligados em díodo introduzem uma queda de tensão considerável, não permitindo alcançar os valores desejados para a tensão de saída.

Como solução a este problema, substituem-se os transístores montados em díodo por transístores do tipo P. Desta forma, o esquema elétrico do *charge-pump* passa a ser o apresentado na Figura 14. Como se pode observar, a utilização destes transístores do tipo P, implica o uso de dois inversores para o seu controlo.

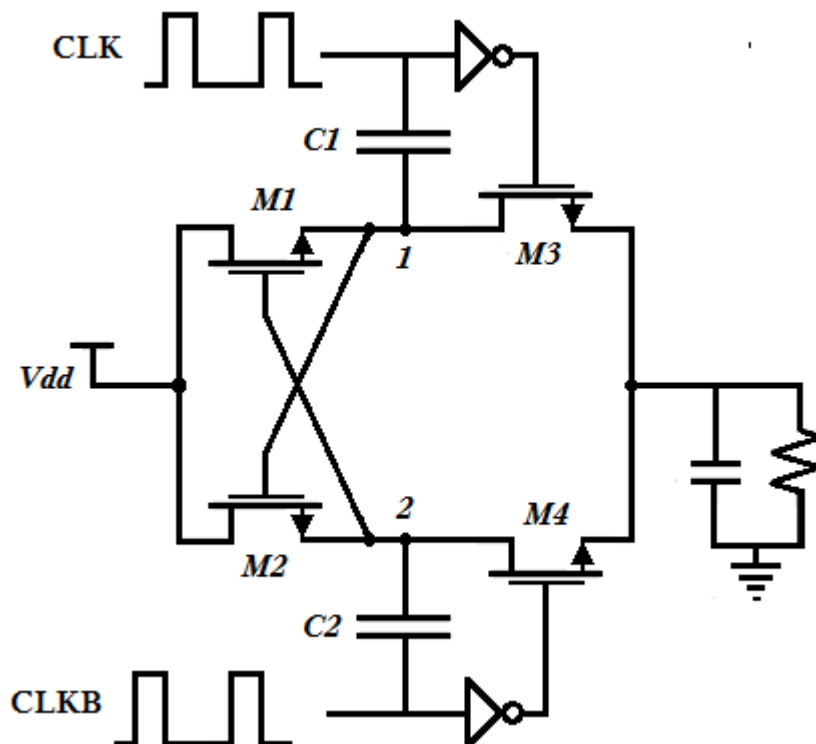


Figura 14: Esquema elétrico do *charge-pump* com transístores do tipo P

De um modo geral o modo de funcionamento do circuito é o mesmo, ou seja, os transístores M1 e M3 estão em modo de condução (desta vez em tríodo) ou ao corte alternadamente, sucedendo-se o mesmo com os transístores M2 e M4. O uso destes MOSFETs afeta apenas o facto de o transístor M3 passar a ser comandado pelos impulsos CLK e o transístor M4 passar a ser comandado pelos impulsos CLKB. No entanto, CLK e CLKB têm que ser invertidos para comandarem o transístor do tipo P. Uma vez que os transístores do tipo P entram à condução quando o sinal na *gate* é baixo, e pretende-se que estes estejam à condução quando a tensão nos nós 1 ou 2 é alta, como se poderá verificar a seguir, então, estes transístores são controlados pelos impulsos que chegam aos condensadores, após serem invertidos. Ou seja, por exemplo, quando a tensão no nó 1 é alta, então M3 está à condução, sendo necessário para isso que a tensão na *gate* de M3 seja baixa. No caso dos transístores M2 e M4 sucede-se o mesmo, no entanto os impulsos que os comandam são os impulsos CLKB.

Uma vez que o modo de funcionamento deste circuito se mantém, comparativamente ao circuito com os transístores ligados em díodo, verifica-se a necessidade de utilizar dois estágios. Assim, o esquema do circuito com dois estágios de *charge-pump* é o representado seguidamente, na Figura 15. Como se pode observar os únicos elementos que não foram repetidos foram os inversores, uma vez que os impulsos que controlam os primeiros transístores do tipo P são os mesmos que controlam os segundos transístores do tipo P, do segundo estágio do *charge-pump*.

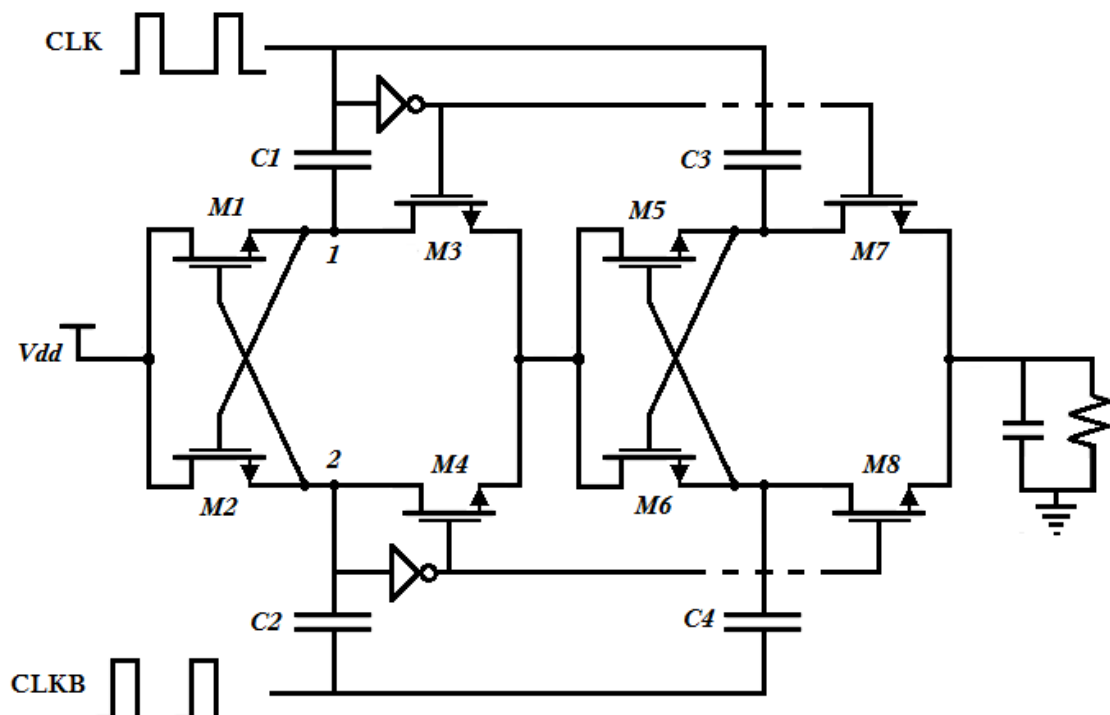


Figura 15: Esquema elétrico do *charge-pump* de dois estágios, com transístores do tipo P

De modo a validar o funcionamento deste bloco efetuam-se testes com fontes de tensão e geradores de impulsos ideais. Uma vez que se viu anteriormente que a tensão mínima é de 0,3V, interessa testar se este bloco impõe alguma limitação nesse aspeto. Assim, coloca-se em V_{dd} uma

fonte de tensão ideal de 0,3V. Para esta tensão o fator de ciclo proveniente dos *boost* é 25%, Como foi referido anteriormente, a tensão proveniente dos *boost* deverá atingir cerca de 1,2V, pelo que a amplitude de teste dos geradores de impulsos é também de 1,2V. Na Figura 16 pode observar-se que a tensão à saída deste bloco é aproximadamente de 2,5V, comprovando assim que o *charge-pump* é válido para uma tensão de entrada de 0,3V. No entanto a tensão esperada idealmente é de 2,7V, implicando perdas de sensivelmente 0,2V.

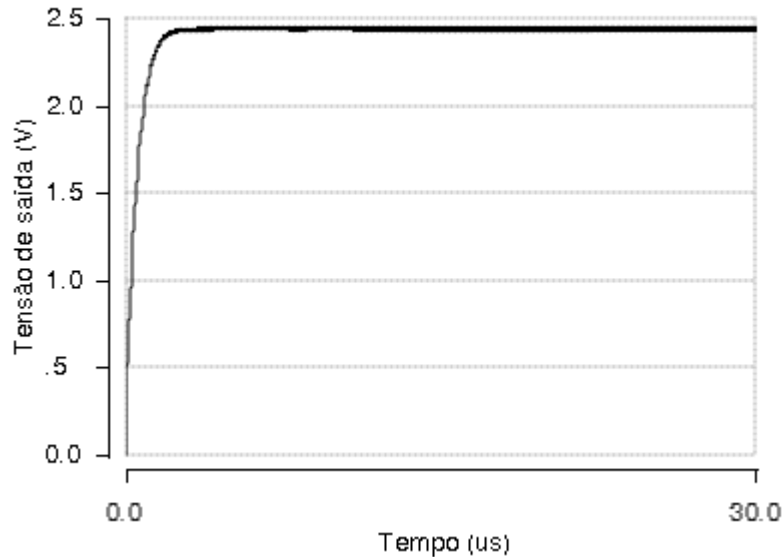


Figura 16: Tensão à saída do *charge-pump* com transístores do tipo P

É importante que os transístores do tipo P estejam em sintonia com os transístores do tipo N, visto que é o funcionamento destes em conjunto que permite o funcionamento correto do bloco. Para isto, é importante que as ondas que comandam os transístores P sejam invertidas com rigor, isto é, que os tempos de subida e descida sejam mínimos, e que os flancos das ondas sejam o mais abruptos possível. Isto permite que a diferença de tempo entre o ligar/desligar dos transístores do tipo P e o ligar/desligar dos transístores do tipo N seja mínima. De forma a observar os impulsos obtidos após o inversor apresentam-se na Figura 17 os impulsos CLK (em cima) e os impulsos CLK invertidos (em baixo). Nestas imagens é possível observar que, após o inversor, a amplitude da onda é superior à amplitude antes do inversor. Isto acontece devido ao facto de a alimentação do inversor ser de 2,4V. Esta situação não é de qualquer forma prejudicial para o circuito uma vez que os transístores do tipo P permitem diferenças de tensões aos terminais de 3,3V.

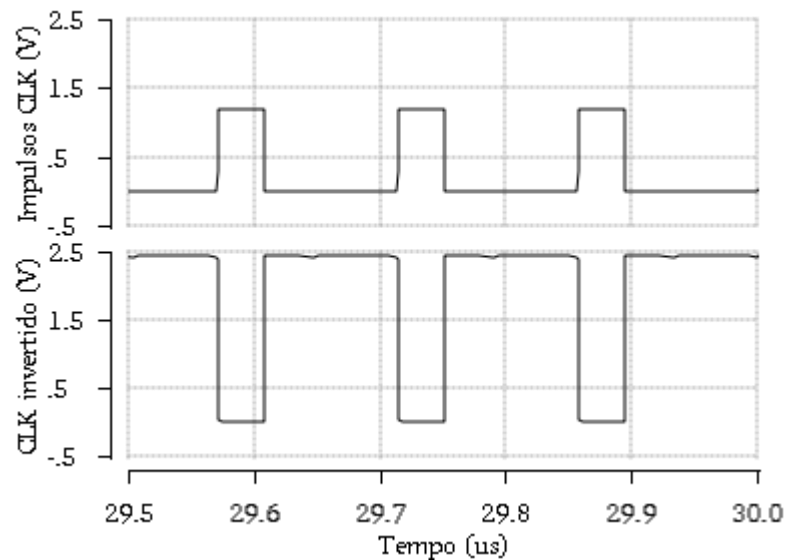


Figura 17: Impulsos CLK (em cima) e impulsos CLK invertidos (em baixo)

Para conseguir obter as ondas invertidas apresentadas é utilizada uma cadeia de três inversores. O facto de o inversor ter esta configuração, permite uma melhor adaptação ao tamanho do transistor utilizado no *charge-pump*, atenuando os efeitos da resistência interna criada por este.

2.3. Princípio de funcionamento do LDO

Como foi referido no início do capítulo 2, a regulação do sistema pode ser concretizado com a inclusão de um LDO no final da cadeia. O circuito do LDO é adequado para o sistema que se pretende obter nesta dissertação, uma vez que se verificou que a tensão obtida no *charge-pump* é praticamente de 2,4V e a queda de tensão no LDO poderá ser baixa. Assim, após o *charge-pump* é colocado um LDO para estabilizar a tensão à saída o que permite regular a tensão à saída do sistema, de modo que seja sempre fixa, neste caso com 2,4V [34], [35].

O LDO proposto é constituído por um transistor do tipo P, um OTA (*Operational Transconductance Amplifier* – amplificador operacional de transcondutância), duas resistências e uma tensão de referência. Para criar esta tensão de referência é utilizado um *bandgap* que, juntamente com o OTA, implica a necessidade de utilizar uma fonte de corrente de referência. O esquema de montagem deste bloco é o apresentado na Figura 18.

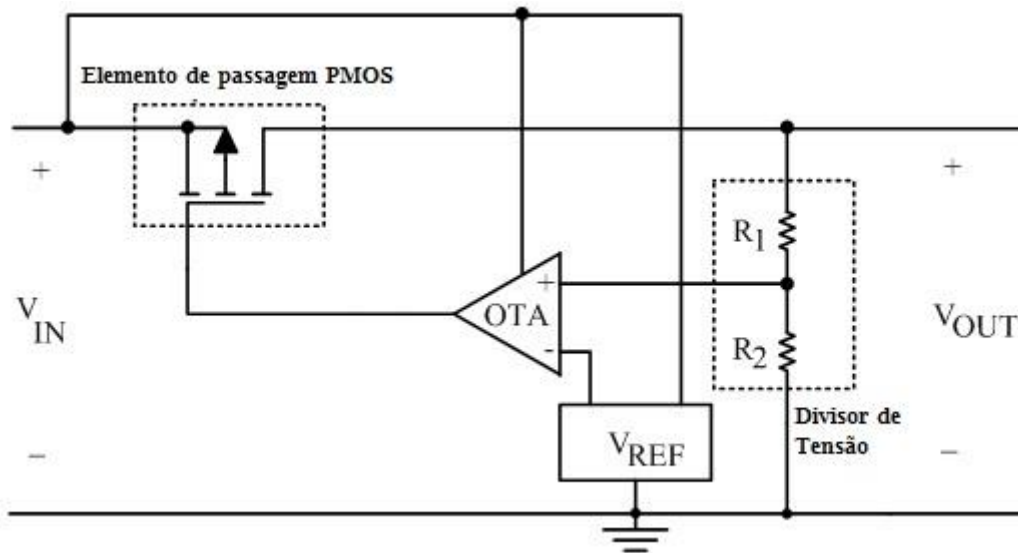


Figura 18: Esquema elétrico de um LDO clássico (adaptado de [36])

Como já foi referido, o LDO funciona como uma resistência variável, logo, é necessário haver uma realimentação (*feedback*) para que seja possível alterar a resistência imposta pelo LDO por forma a regular a tensão de saída. A partir da figura é possível perceber que a gate do transistor é controlada pelo OTA, que serve como amplificador de erro. Este compara a tensão de referência com a tensão proveniente do nó entre as resistências, no qual se pretende obter uma tensão igual à tensão de referência. Conforme esta tensão varia com perturbações na saída, o OTA vai controlando o PMOS de forma a este deixar passar mais ou menos corrente e conseguir manter à saída uma tensão praticamente constante. Utilizando este bloco, é possível reduzir as variações de tensão à saída do *charge-pump*, obtendo assim uma tensão regulada à saída do circuito.

2.4. Circuito proposto

Analisados estes blocos é possível agrupa-los de forma a obter o diagrama de blocos do circuito proposto. O diagrama de blocos referido apresenta-se na Figura 19.

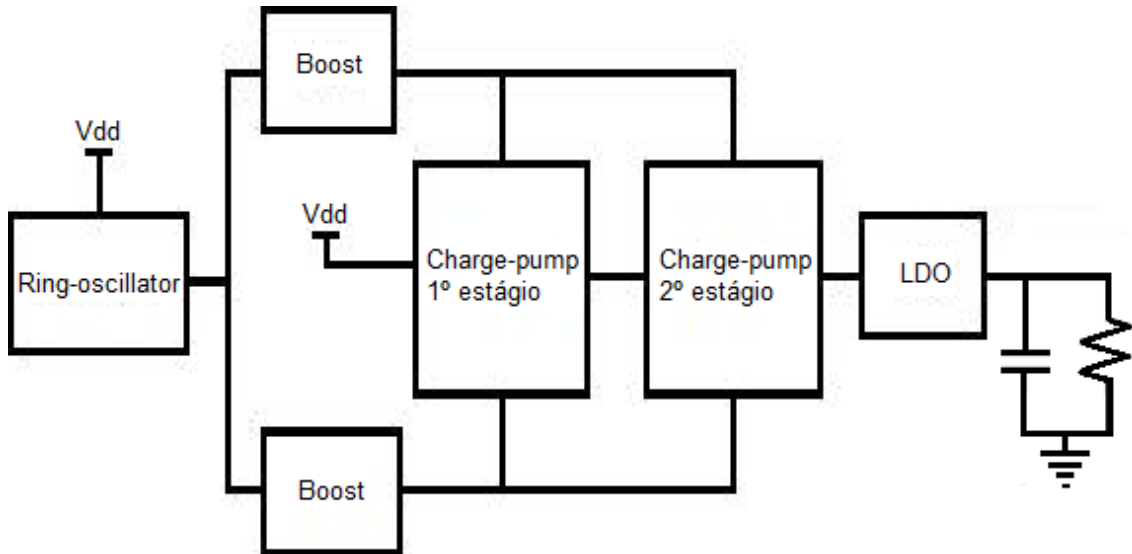


Figura 19: Diagrama de blocos do circuito proposto

No capítulo seguinte são testados os blocos presentes no diagrama. Salienta-se o facto de o *ring-oscillator* apenas ser projetado após testar os restantes blocos, uma vez que estes podem vir a impor limitações relativamente ao fator de ciclo.

3. Esquema elétrico do conversor DC-DC

Neste capítulo são testados os blocos funcionais do circuito estudado e proposto no capítulo 2. Apresenta-se o funcionamento do *boost* e do *charge-pump* para os casos limite da gama de tensões referidas no capítulo 2.1, ou seja, tensão mínima de entrada de 0,3V e máxima de 0,6V. Apresenta-se também o funcionamento do LDO e a caracterização das suas partes constituintes, o *bandgap*, a fonte de corrente de referência e o OTA.

3.1. Boost

Dado que a gama de tensões de entrada está compreendida entre 0,3V e 0,6V, testou-se o *boost* para os casos limite da tensão de entrada. Assim, na Figura 20 mostra-se o resultado obtido quando a tensão de entrada é de 0,3V (a preto). Nesta figura mostram-se também os impulsos de entrada criados por um gerador de impulsos (a vermelho). Uma vez que estes têm a mesma amplitude que a tensão de entrada, então a tensão destes é de 0,3V e o fator de ciclo é de 0,75%.

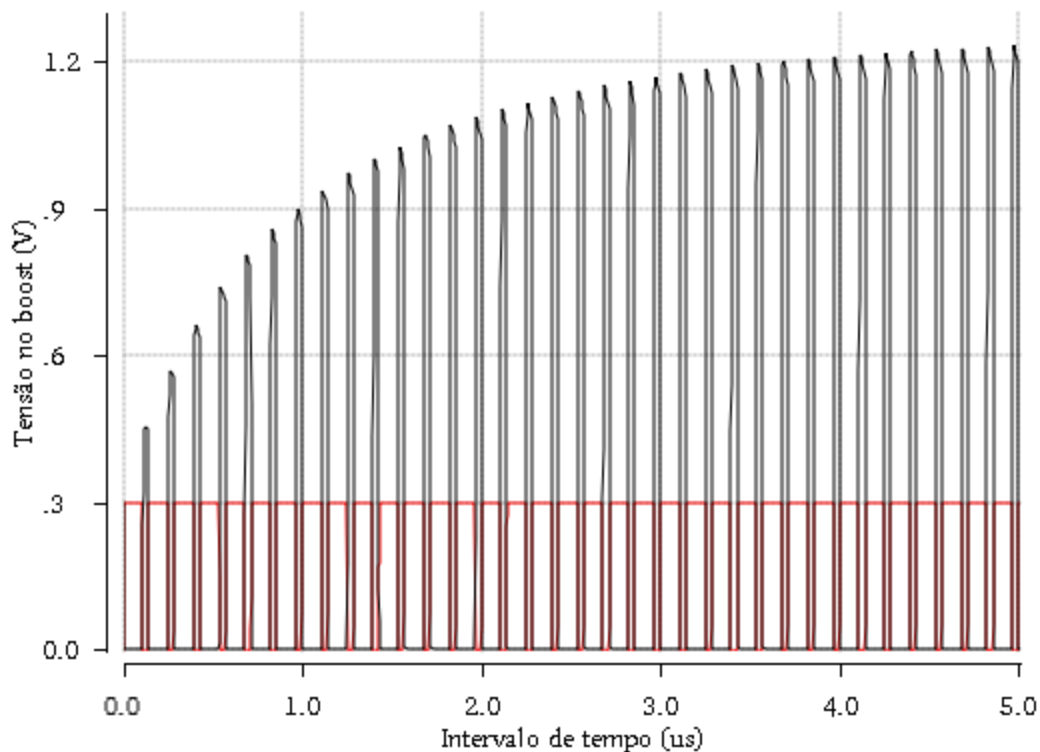


Figura 20: Tensão à saída do *boost* (a preto) e tensão que comanda o *boost* (a vermelho) com tensão de entrada de 0,3V

Analogamente, na Figura 21 apresenta-se a tensão à saída do *boost* e os impulsos de entrada de 0,6V, com um fator de ciclo de 50%.

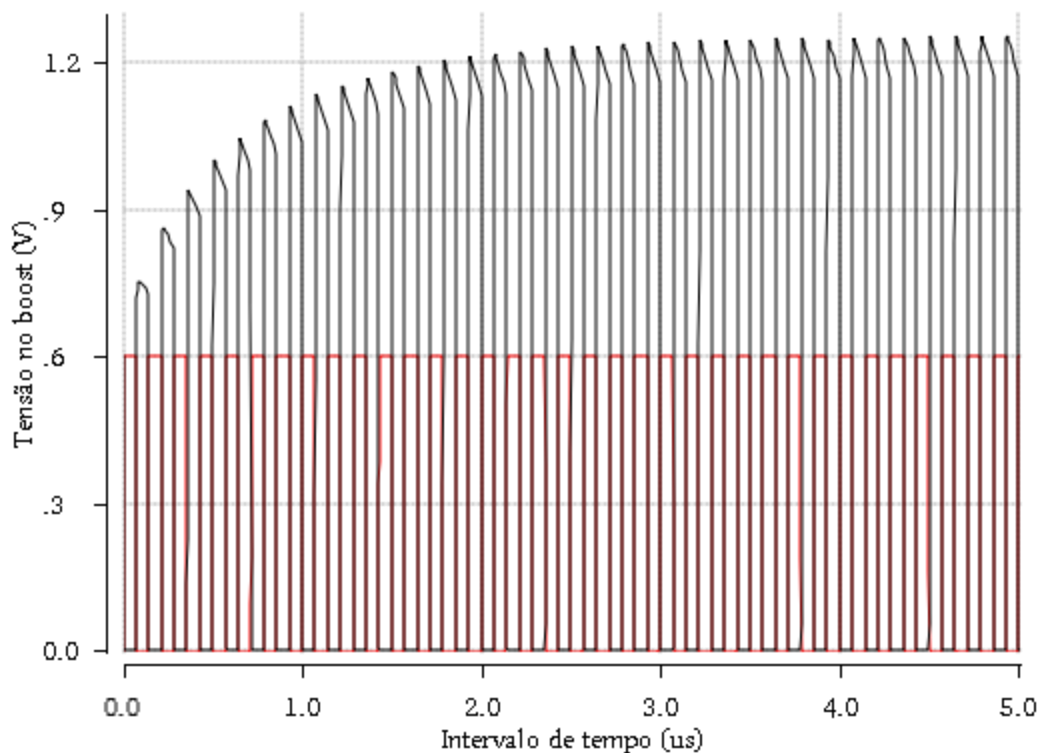


Figura 21: Tensão à saída do *boost* (a preto) e tensão que comanda o *boost* (a vermelho) com tensão de entrada de 0,6V

Como é possível observar pela análise das duas figuras anteriores, o *boost* permite obter impulsos com 1,2V para os casos limite de tensão de entrada. Salienta-se o facto de ser necessário adaptar o fator de ciclo para cada valor da tensão de entrada, com referido anteriormente.

3.2. Charge-pump

O circuito de *charge-pump* foi testado para ambos os limites de tensão de entrada. Para isso, aplicaram-se dois geradores de impulsos de 1,2V com o fator de ciclo de 0,25% para o caso em que a tensão de entrada é 0,3V. Os resultados deste teste encontram-se na Figura 22, onde é possível observar a tensão à saída do *charge-pump*. Verifica-se que a tensão à saída do *charge-pump* é de 2,56V, quando idealmente seria de 2,7V.

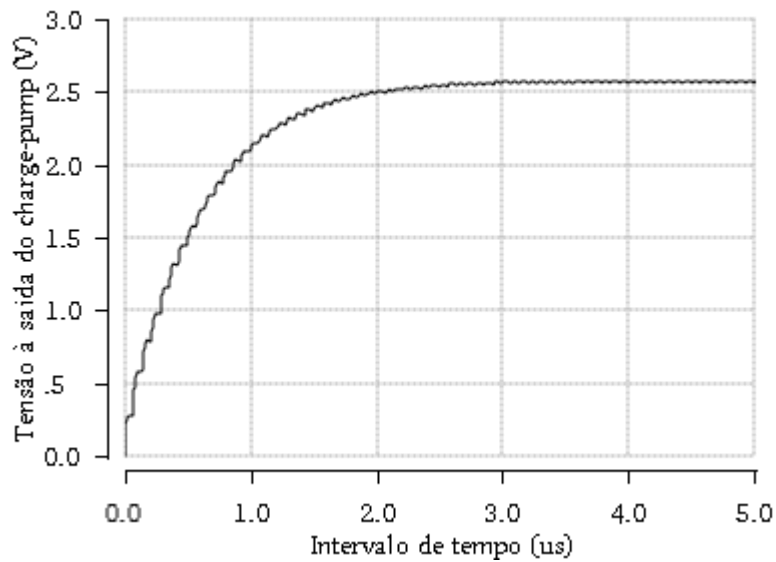


Figura 22: Tensão à saída do *charge-pump* com tensão de entrada de 0,3V

Na Figura 23 observam-se os resultados obtidos com uma tensão de entrada de 0,6V e dois geradores de impulsos de 1,2V com um fator de ciclo de 50%. Observa-se na Figura 23 que a tensão à saída do *charge-pump* é de 2,75V.

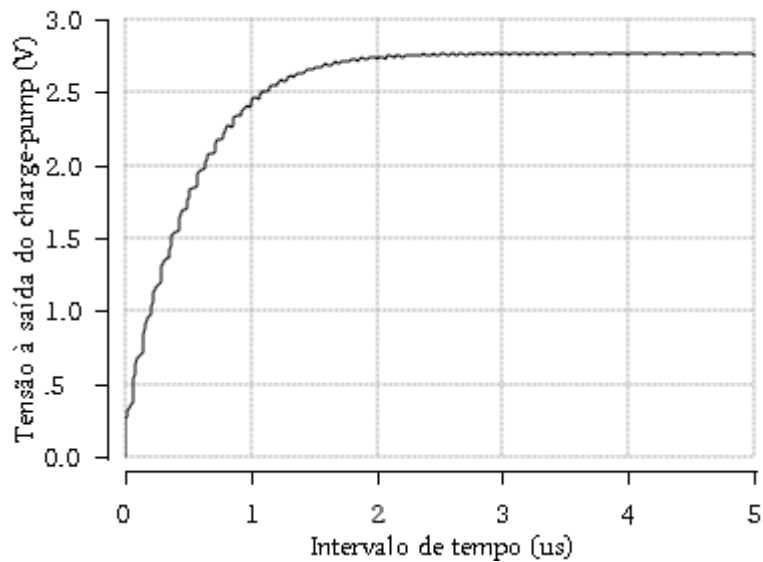


Figura 23: Tensão à saída do *charge-pump* com tensão de entrada de 0,6V

Como se pode observar, apesar das perdas, o *charge-pump* consegue obter à saída uma tensão superior a 2,4V para os casos limite da tensão de entrada. Uma vez que a tensão à saída é para ambos os casos superior a 2,4V, é possível usar o LDO, de modo a conseguir uma regulação para este valor de tensão.

3.3. LDO

Como já foi referido, à saída do circuito de comutação (*boost e charge-pump*) propõem-se um regulador do tipo LDO. O objetivo deste elemento é linearizar a tensão de saída para 2,4V. O funcionamento deste bloco já foi descrito no capítulo anterior. Como tal, segue-se uma análise mais detalhada dos elementos que constituem este bloco. Na Figura 24 apresenta-se o esquema elétrico deste bloco.

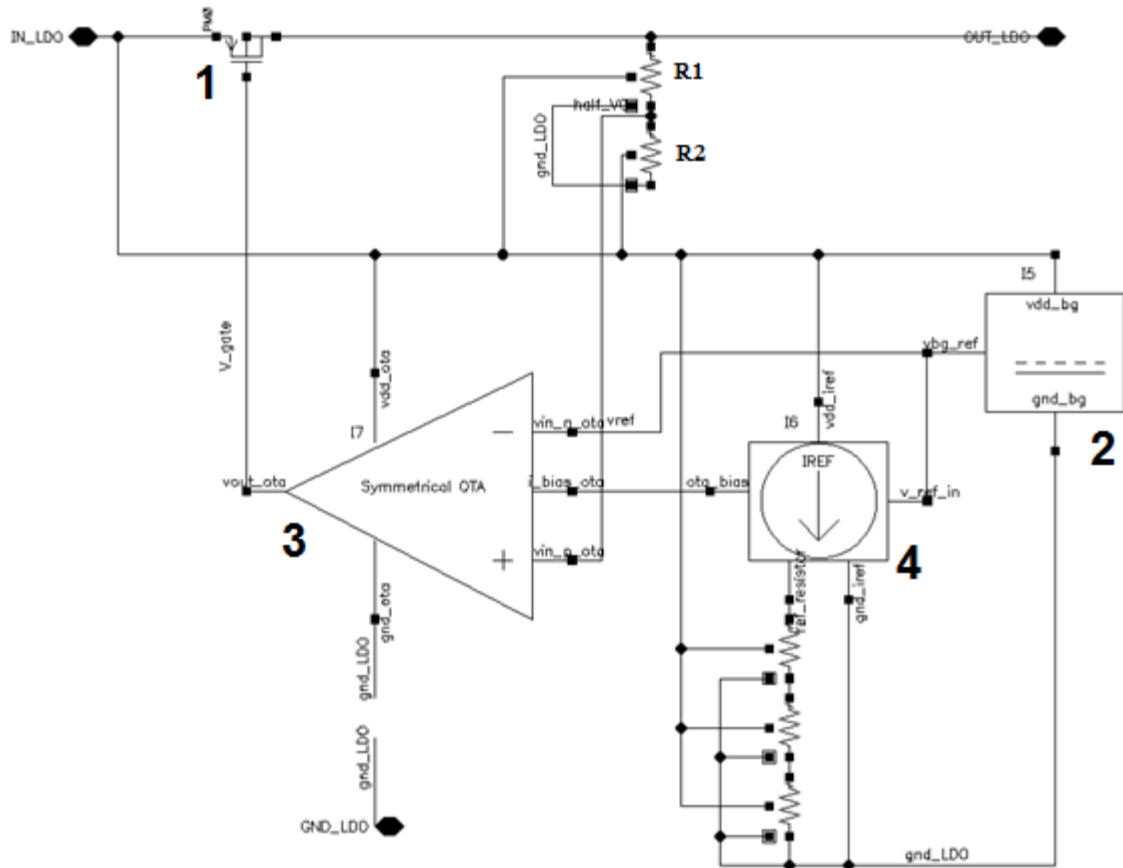


Figura 24: Esquema elétrico do LDO

É necessário escolher o tamanho mínimo do transistor (referenciado com o número “1” na imagem) que consiga minimizar a queda de tensão na linha. Assim, o transistor utilizado é o P_HGLV_33_L130E, da tecnologia disponível, cujas dimensões são 1000 μ m de largura por 340nm de comprimento. A escolha deste transistor deve-se ao facto de a queda de tensão imposta por este elemento ter que ser mínima e este ter que suportar tensões superiores a 1,2V.

Outro aspeto importante a determinar é o tamanho das resistências R1 e R2 (conforme a imagem anterior). O *bandgap* (“2”) utilizado permite obter uma tensão de referência de 1,2V, o que implica que a tensão que é necessária conseguir no nó entre R1 e R2 é de 1,2V. Uma vez que se pretende à saída uma tensão de 2,4V, então a tensão no nó referido será metade da tensão de saída, o que implica que as resistências terão de ser iguais. Para determinar o tamanho destas resistências é necessário ter em conta o tamanho da resistência de saída. Uma vez que a resistência referida é de

10k Ω , então as resistências R1 e R2 terão de ser superiores a este valor, de modo a não interferirem com a corrente na resistência de saída. Idealmente a soma das resistências do divisor de tensão deveria ser muito elevada, de modo à corrente de saída passar apenas na resistência de saída, no entanto é necessário ter em conta a área que as resistências ocupam no integrado. Assim, é necessário conseguir um equilíbrio entre o valor das resistências e o seu tamanho. Utilizando as resistências disponíveis na tecnologia procura-se, na gama de valores referida, o menor tamanho das resistências que permita atingir o objetivo desejado. Tendo em conta os aspetos referidos, as resistências utilizadas são de 44,45k Ω .

Uma vez que os restantes elementos são mais complexos, segue-se uma análise mais detalhada de cada um, por forma a validar o seu funcionamento. Estes elementos (OTA (“3”), *bandgap* e fonte de corrente (“4”)) são aproveitados da biblioteca de blocos funcionais disponíveis no grupo de investigação onde o trabalho está a ser desenvolvido. Uma vez que alguns elementos deste bloco são aproveitados de blocos funcionais da biblioteca, é necessário proceder a alguns ajustes, de modo a que estes elementos se adequem melhor ao circuito que se pretende projetar. Como alimentação destes elementos pode-se utilizar a tensão à entrada do LDO uma vez que este bloco só entra em funcionamento quando a tensão à saída do *charge-pump* é superior a 2,4V.

3.3.1. Bandgap

O *bandgap* usado para este projeto é o apresentado na Figura 25. Este permite obter uma tensão de referência, que é necessária para o OTA e para a fonte de corrente.

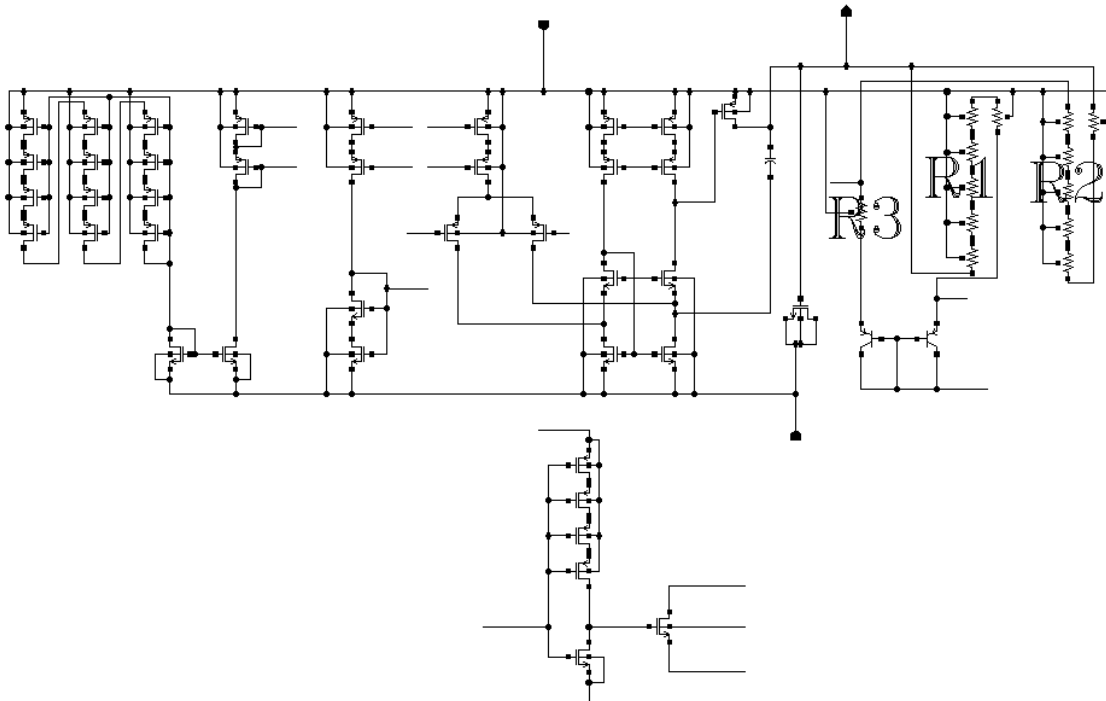


Figura 25: Esquema elétrico do *bandgap*.

Seguidamente, verifica-se a variação da tensão de referência do *bandgap* quando a temperatura varia entre -40°C e 125°C . Os resultados obtidos estão apresentados na Figura 26. Analisando esta figura é possível verificar que a tensão de referência tem uma variação máxima $0,014\text{V}$ na gama de temperatura referida, o que é aceitável para a aplicação em estudo.

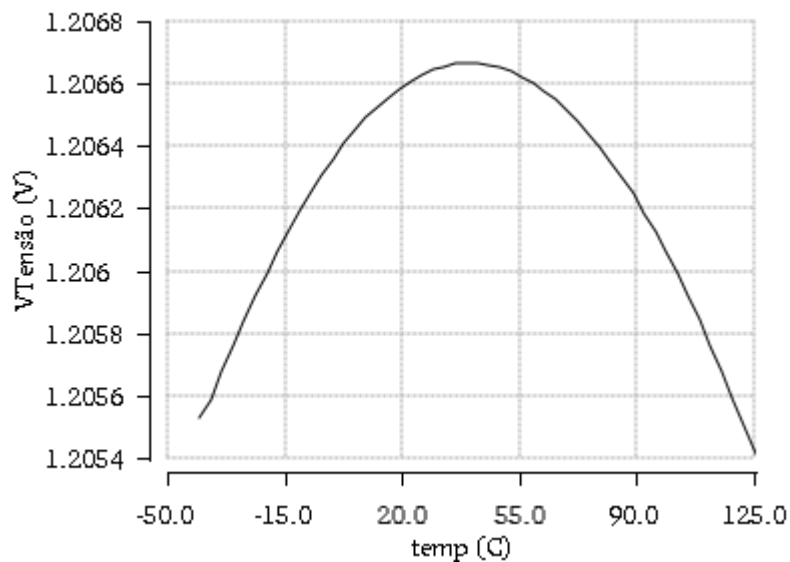


Figura 26: Tensão de referência fornecida pelo *bandgap* em função da temperatura

Outro aspecto importante a ser analisado é a tensão de alimentação que garante obter a tensão de referência pretendida. Este aspecto é importante pois permite determinar se a tensão de entrada do LDO é suficiente para alimentar este elemento. Deste modo faz-se variar a tensão de entrada de 0V até 3V, permitindo saber qual a tensão de referência que se obtém, dentro desta gama de tensões de entrada. Efetuando esta análise, obtém-se o gráfico apresentado na Figura 27, a partir do qual é possível verificar que a partir de aproximadamente 1,3V de tensão de entrada, é possível obter uma tensão de referência constante de 1,2V. Conclui-se então que a tensão de entrada do LDO é perfeitamente adequada para alimentar o *bandgap*.

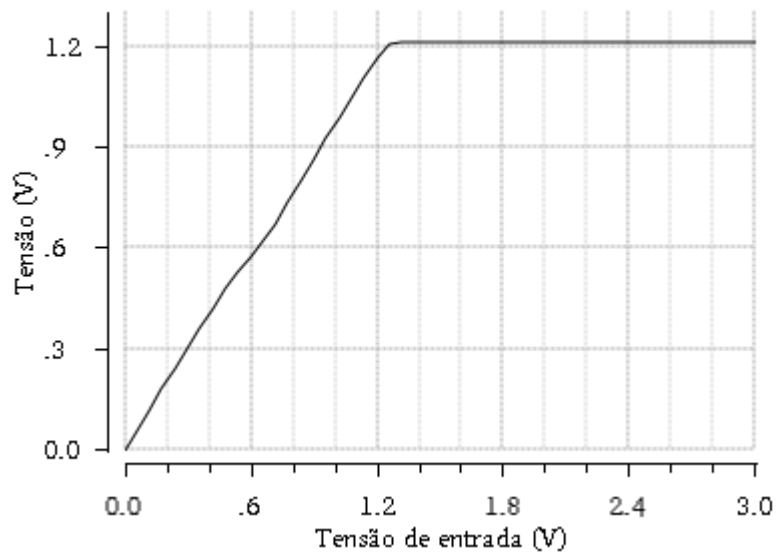


Figura 27: Tensão de referência fornecida pelo *bandgap* em função da tensão de entrada

Utilizando um gerador de impulsos também é possível analisar o tempo de arranque do *bandgap*, que se apresenta na Figura 28. A partir desta figura é possível observar que a tensão de referência do *bandgap* demora sensivelmente 11 μ s a estabilizar a 1,2V.

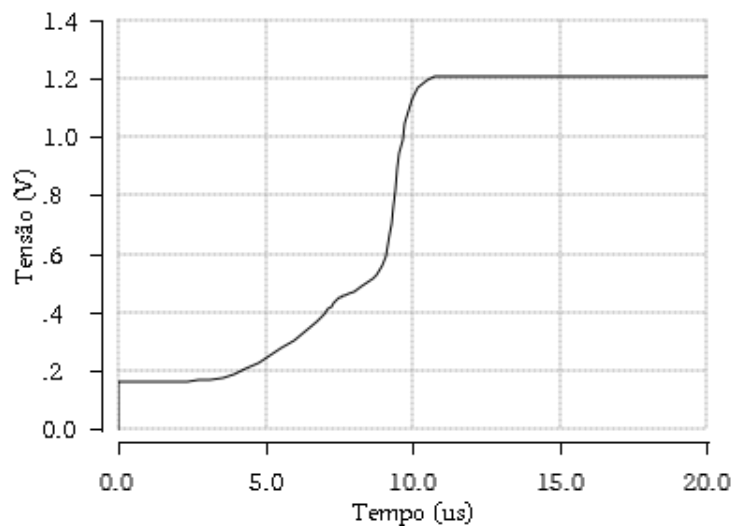


Figura 28: Tempo de arranque do *bandgap*

3.3.2. OTA

Como já foi referido, é necessário um OTA capaz de comparar a tensão de referência com a tensão proveniente do divisor de tensão, para controlar o transístor de passagem do LDO. Desta forma utilizou-se o OTA cujo esquema elétrico se encontra representada na Figura 29. Nesta é possível observar que o amplificador é composto por um par diferencial com dois espelhos de corrente e por outro espelho de corrente para o caso de uma saída simples. A corrente de carga do par diferencial de entrada é espelhada para a saída [37].

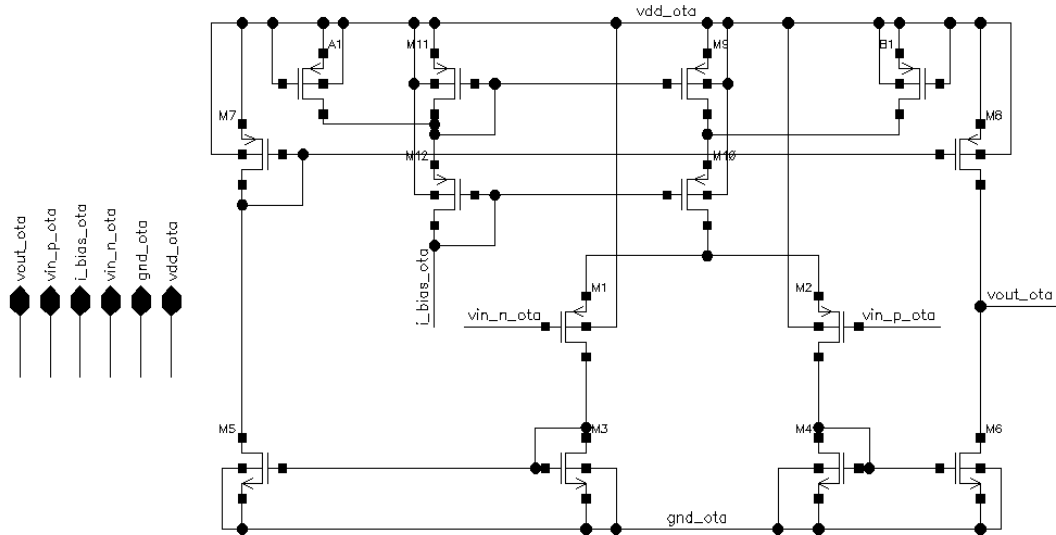


Figura 29: Esquema elétrico do OTA

Na Figura 30 apresenta-se o gráfico da resposta em frequência deste amplificador. Analisando este gráfico é possível verificar que este amplificador tem uma largura de banda adequada para a aplicação. É possível verificar também que para a banda de frequência em que se pretende trabalhar neste circuito, máximo da dezena de MHz, o OTA tem um ganho de aproximadamente 39 dB, pelo que se pode concluir que é perfeitamente adequado para o que se pretende.

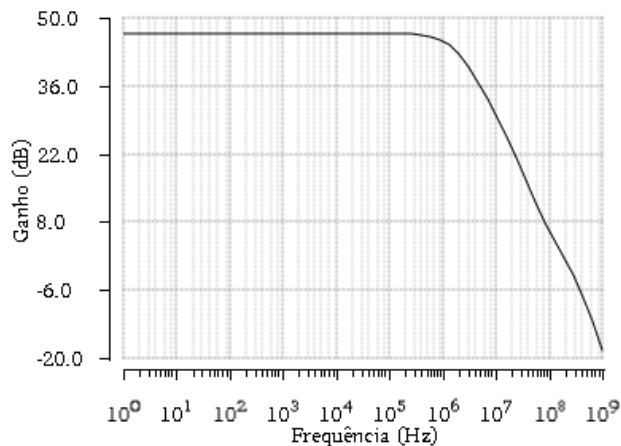


Figura 30: Diagrama de ganho do amplificador em malha aberta

3.3.3. Fonte de corrente

A estrutura da fonte de corrente é a que se apresenta na Figura 31.

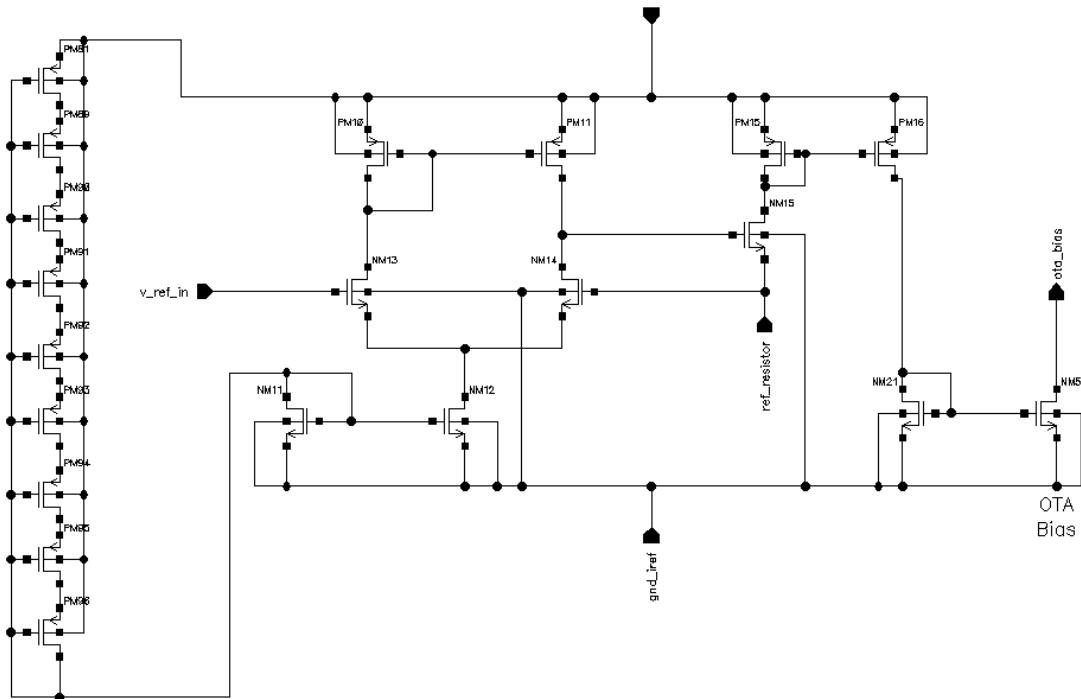


Figura 31: Esquema elétrico da fonte de corrente

Para saber qual a variação de corrente referência que este elemento fornece analisa-se a corrente à saída quando a temperatura varia. Uma vez que este elemento necessita também do bandgap é necessário saber também qual o seu comportamento tendo em conta o comportamento do bandgap quanto à variação de temperatura. Deste modo testou-se o circuito de duas formas: a primeira colocando no lugar do bandgap uma fonte ideal de tensão de 1,2V, para conseguir analisar apenas o comportamento deste bloco; e no segundo teste utilizando o bandgap, de forma a conseguir analisar o comportamento da fonte de corrente na montagem em que vai ser utilizada. Como tal, os resultados da primeira análise encontram-se esplanados na Figura 32, na qual se pode observar que a corrente aumenta quase linearmente com o aumento de temperatura.

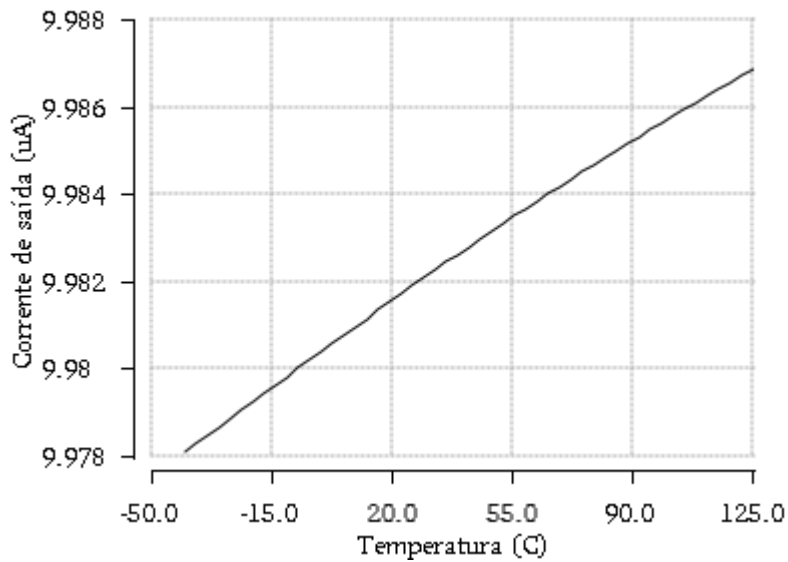


Figura 32: Corrente de referência em função da temperatura

Na Figura 33 encontram-se os resultados da segunda análise, que permitem concluir que neste caso a variação da corrente de saída é similar à variação da tensão de referência do *bandgap*. Apesar de existirem as variações indicadas, a diferença entre a corrente máxima e mínima é muito pequena, sendo no primeiro caso de $10,02\mu\text{A}$ e no segundo caso de $10,04\mu\text{A}$, pelo que se pode afirmar que estas variações são desprezáveis.

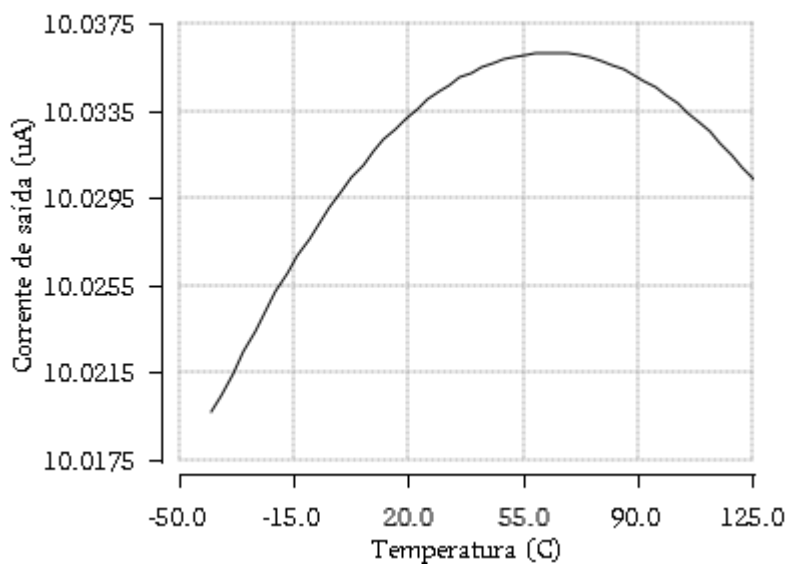


Figura 33: Corrente de referência em função da temperatura quando ligada com *bandgap*

4. Implementação e resultados

Neste capítulo analisa-se o funcionamento do conversor proposto. Este foi dividido em dois blocos principais, sendo eles: o circuito de potência e o LDO. O circuito de potência é constituído pelo *ring-oscillator* e pelo *step-up*, que por sua vez é constituído pelo *boost* e pelo *charge-pump*.

4.1. Circuito de potência

O circuito de potência é composto pelo *ring-oscillator* e pelo *step-up* como se pode observar na Figura 34. Este bloco tem como objetivo aumentar a tensão de entrada para uma tensão superior a 2,4V, de modo a ser possível aplicar o LDO e obter à saída do sistema uma tensão regulada de 2,4V. Segue-se nesta secção uma análise do comportamento do circuito de potência, repartindo-o pelos blocos que o constituem.

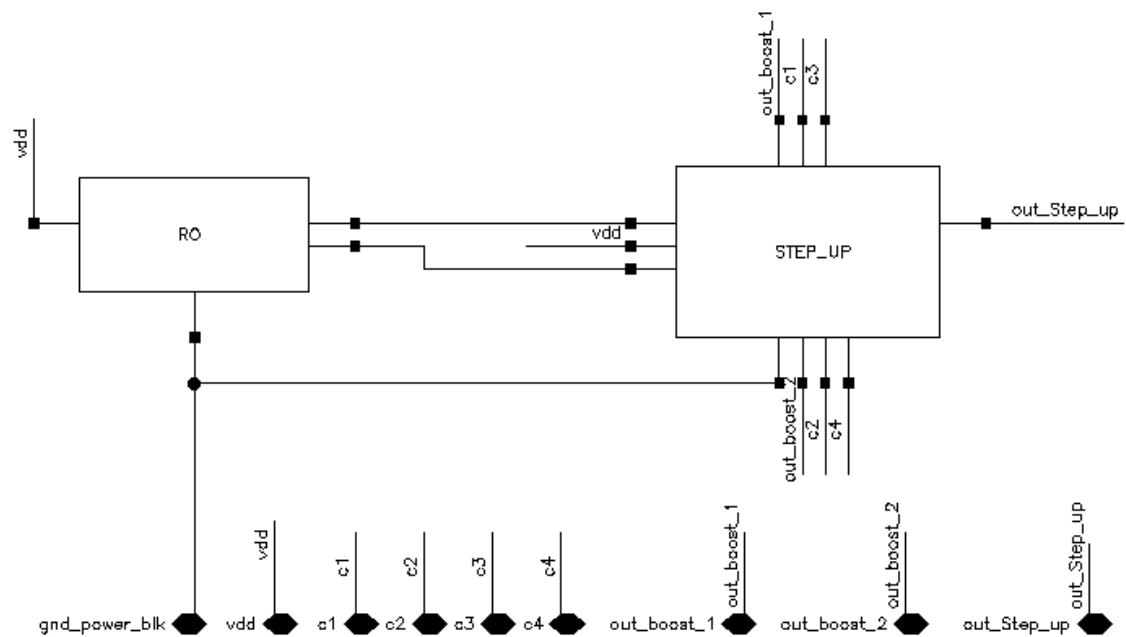


Figura 34: Esquema elétrico do circuito de potência

4.1.1. Step-up

Uma vez que os testes do *boost* e o *charge-pump* em separado apresentam resultados que permitem concluir que são adequados para a gama de tensões de entrada indicada, então resta testar os dois em conjunto. Para isso efetua-se a montagem apresentada na Figura 35, composta pelo *step-up*, dois geradores de impulsos que controlam os transístores do *boost* e uma fonte de tensão.

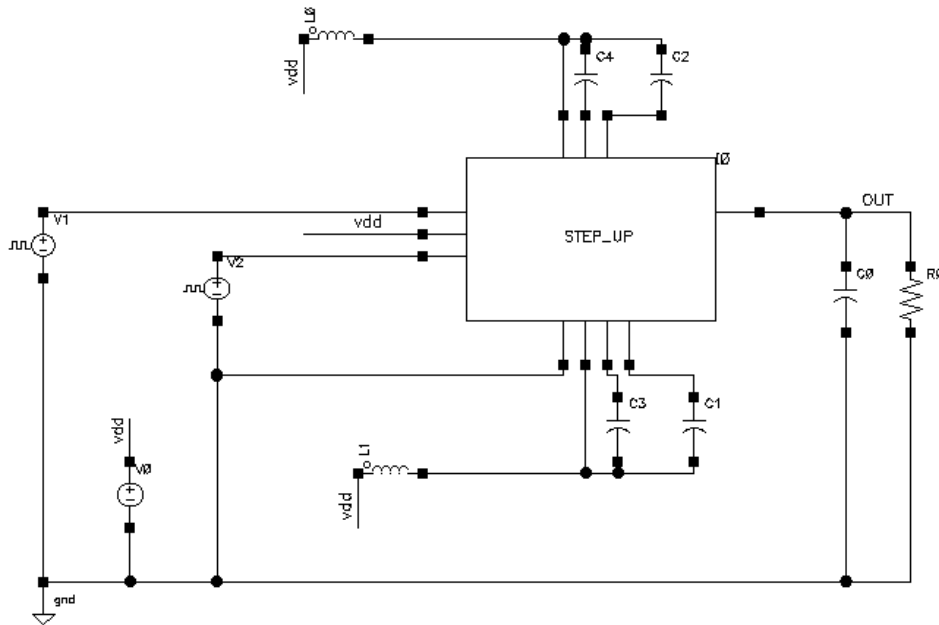


Figura 35: Montagem elétrica de teste do *step-up*

Com esta montagem é possível testar o *step-up* para os casos limite da tensão de entrada. Desta forma verifica-se que com uma tensão de entrada de 0,3V a tensão à saída do *step-up* é de 2,45V, como se pode confirmar na Figura 36.

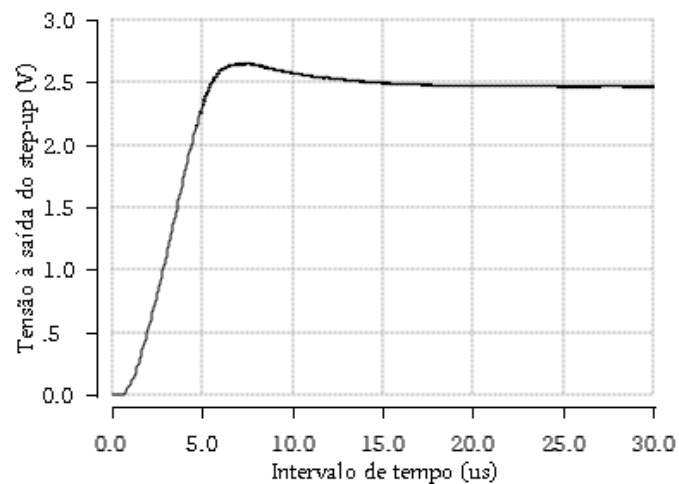


Figura 36: Tensão à saída do *step-up* com tensão de entrada de 0,3V

Apesar desta tensão ser superior a 2,4V não possibilita uma margem de segurança que permita que o LDO consiga obter à saída uma tensão regulada de 2,4V. Assim, verifica-se que a tensão mínima para este circuito deixa de ser 0,3V. Desta forma testa-se o bloco para uma tensão de entrada de 0,4V, cujos resultados se encontram na Figura 37. Como se pode verificar, a tensão à saída do *step-up* é superior a 2,5V, permitindo assim a utilização do LDO.

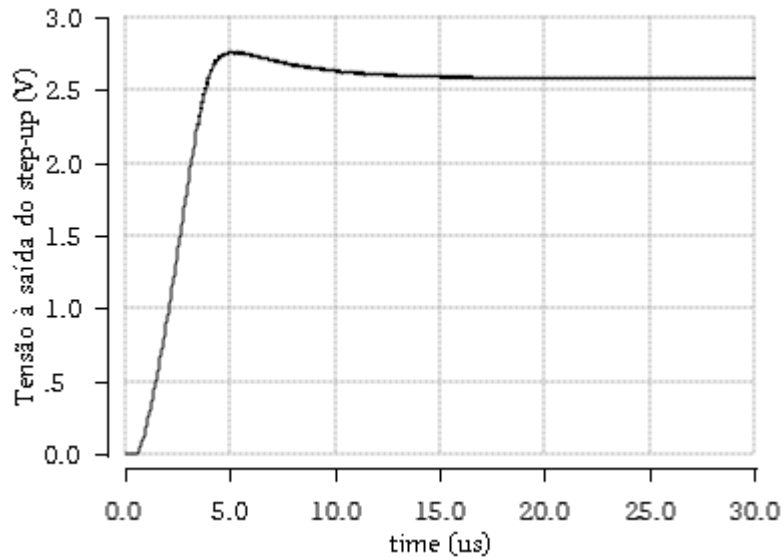


Figura 37: Tensão à saída do *step-up* com tensão de entrada de 0,4V

Resta testar o funcionamento do bloco para a tensão de entrada de 0,6V. Na Figura 38 encontram-se os resultados obtidos deste teste. Assim, verifica-se que para uma tensão de entrada de 0,6V consegue-se obter à saída do bloco uma tensão de 2,65V.

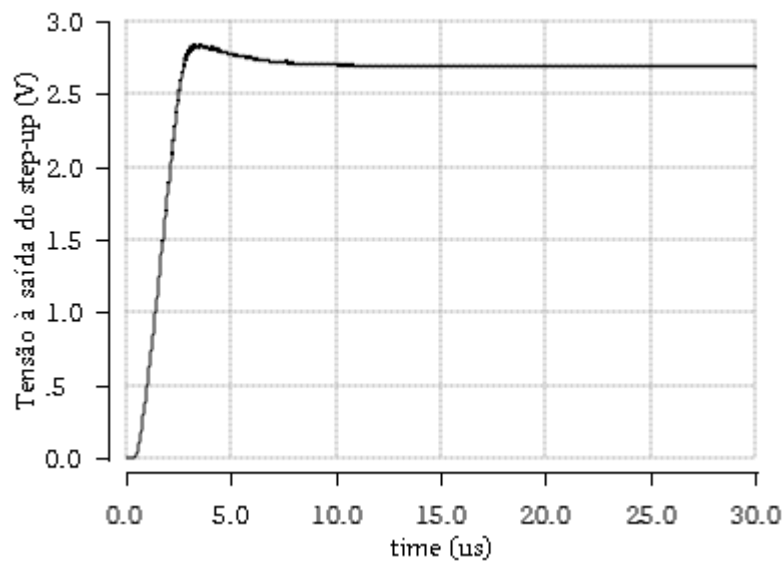


Figura 38: Tensão à saída do *step-up* com tensão de entrada de 0,6V

Dado que se verifica que o *step-up* consegue obter tensões à saída com valores adequados para o funcionamento do LDO, na gama de tensões de entrada entre 0,4V e 0,6V, é necessário agora conseguir um *ring-oscillator* que permita obter os fatores de ciclo adequados para estas tensões de entrada.

4.1.2. *Ring-oscillator*

Apesar de se ter verificado que o circuito funciona com tensões de entrada de 400mV a 600mV, aperfeiçoa-se o funcionamento do sistema para uma tensão de entrada típica de 500mV.

Uma vez que a tensão de entrada é de 500mV, então o fator de ciclo dos impulsos gerados pelo *ring-oscillator* deve ser aproximadamente cerca de 58%. Uma vez determinado este aspeto é possível passar à conceção do *ring-oscillator*. Assim, pretende-se conceber um circuito oscilador de onda quadrada que permita obter um fator de ciclo de 58%, com uma frequência próxima da dezena de MHz, e cuja amplitude seja a mesma que a tensão de entrada, sendo neste caso 0,5V. Para isso foi projetado um *ring-oscillator* convencional, que pode ser concebido ligando um número ímpar de inversores num ciclo fechado [38]. Para melhor entender a montagem deste circuito, o seu esquema elétrico está demonstrado na Figura 39.

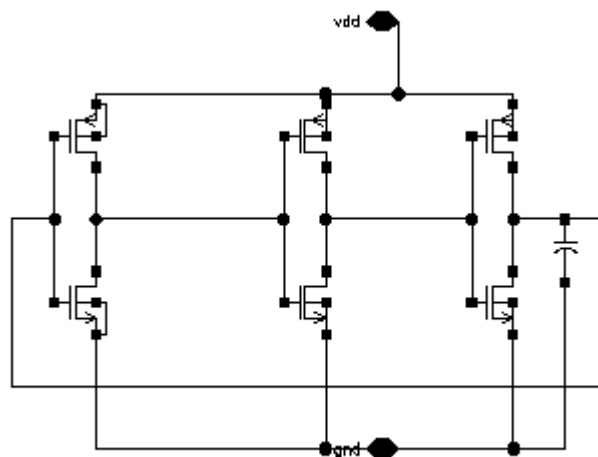


Figura 39: Esquema elétrico do *ring-oscillator*

Após este *ring-oscillator* são colocados estágios de adaptação que permitem ajustar a frequência e o fator de ciclo que se pretende. Dado que o fator de ciclo é de 58%, então é necessário que este bloco permita obter dois impulsos com o mesmo fator de ciclo desfasados de 180°. Como já foi referido, para conseguir o segundo impulso uma simples inversão do primeiro não serviria dado que desse modo ficar-se-ia com uma onda com um fator de ciclo de 58% e outra de 42%. É também através dos estágios de adaptação que se conseguem obter as duas ondas desfasadas. Assim, todos os transístores utilizados neste bloco foram dimensionados de modo a conseguir obter as ondas referidas. O circuito completo do *ring-oscillator*, com os estágios de adaptação, está apresentado na Figura 40.

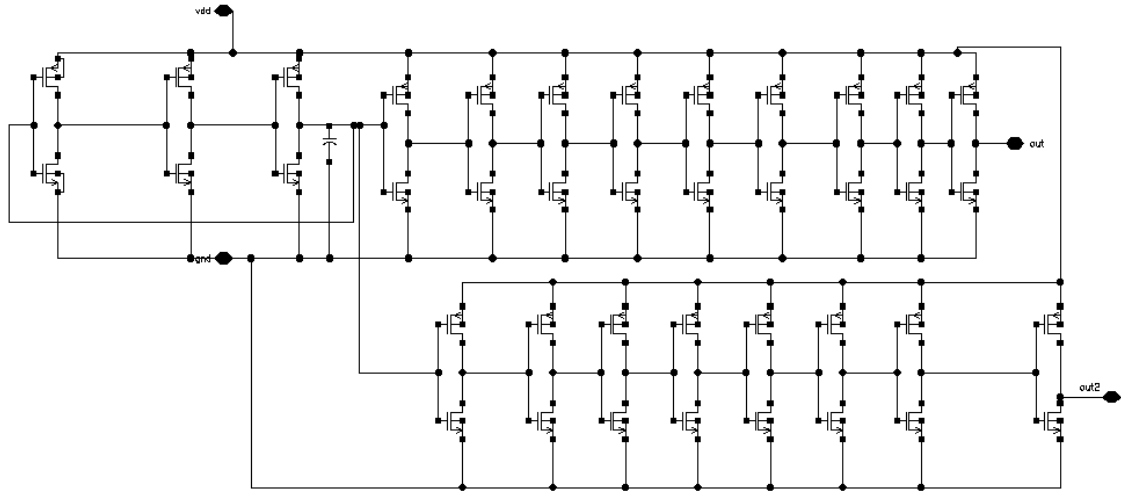


Figura 40: Esquema elétrico do *ring-oscillator* com estágios de adaptação

Na Figura 41 apresentam-se as duas ondas do *ring-oscillator*, assim como a indicação dos tempos dos flancos, a meio da amplitude dos impulsos. O fator de ciclo das duas ondas é cerca de 58%, como se pode calcular tendo em conta os tempos observados na imagem. A frequência destes impulsos é de 10 MHz, e a sua amplitude é a mesma que a tensão de entrada V_{in} , ou seja, 0,5V, como se pretende.

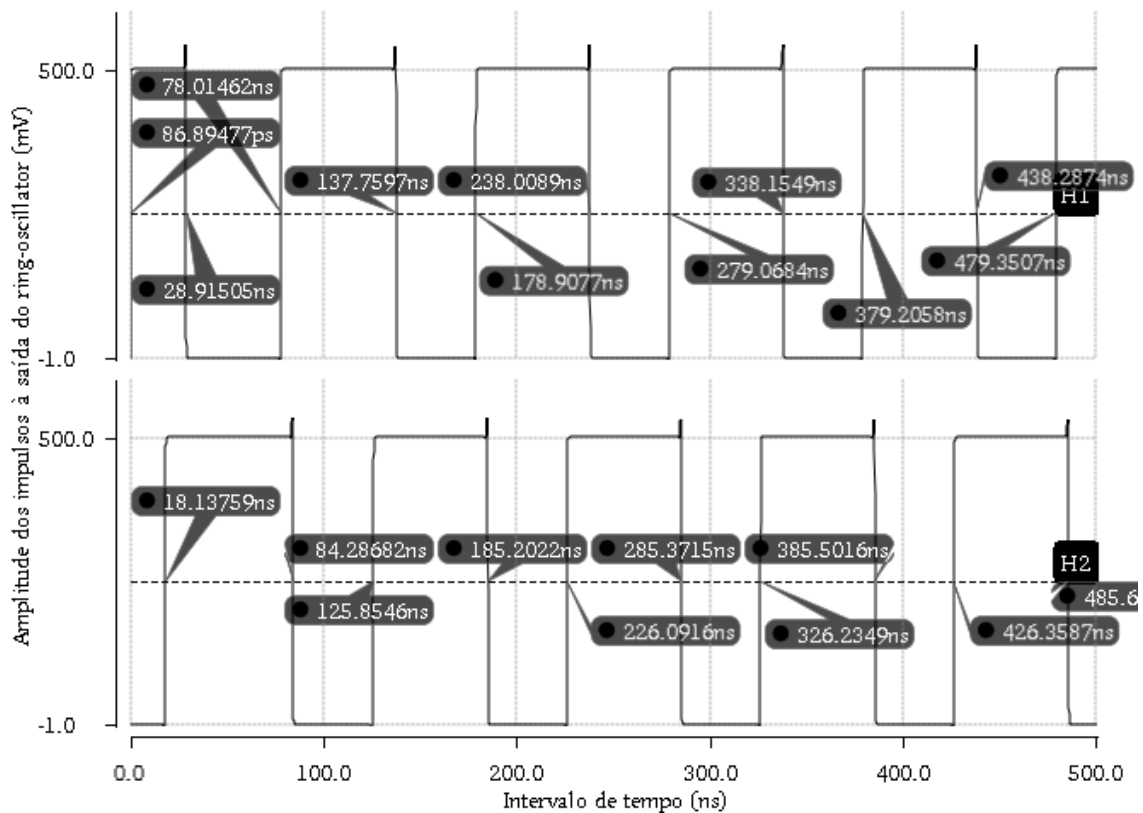


Figura 41: Impulsos obtidos à saída do *ring-oscillator*

Para garantir o melhor funcionamento do *boost*, é importante que os flancos dos impulsos sejam o mais abruptos possível. Na Figura 41 também se pode verificar que o *ring-oscillator* consegue garantir esse aspeto.

4.1.3. Teste do circuito de potência

Uma vez definido o *ring-oscillator* é possível analisar o comportamento do circuito de potência na sua totalidade. Assim, na Figura 42 apresenta-se a tensão à saída do circuito de potência com o *ring-oscillator* e o bloco *step-up*. Como se pode observar a tensão à saída é superior a 2,4V, mais precisamente 2,67V, permitindo desta forma aplicar à saída do circuito de potência o LDO.

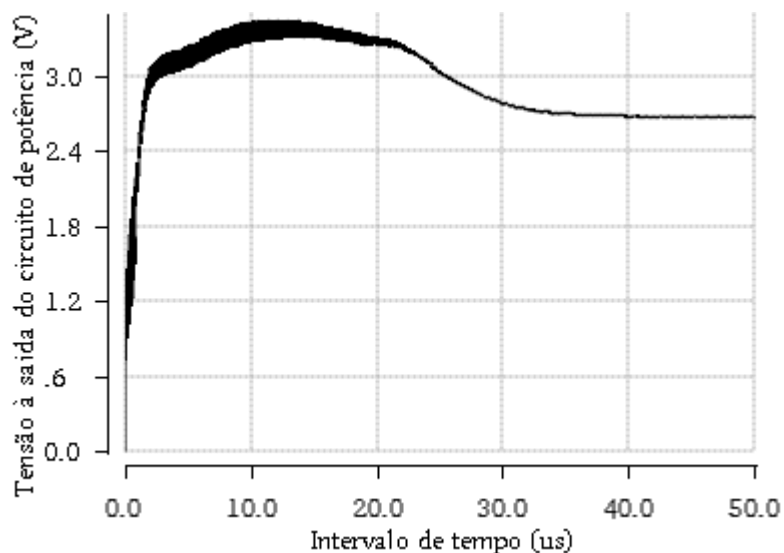


Figura 42: Tensão à saída do circuito de potência

4.2. Teste do conversor

Segue-se nesta secção uma análise do circuito na sua totalidade, isto é, o circuito de potência com todos os elementos que o constituem seguido do LDO. Para efetuar esta análise utiliza-se apenas uma fonte de tensão de 0,5V para alimentar o sistema. Testando este circuito é possível verificar que se consegue obter à saída o LDO uma tensão de 2,4V, como se pretende, validando desta forma o sistema proposto na dissertação. Estes resultados estão apresentados na Figura 43.

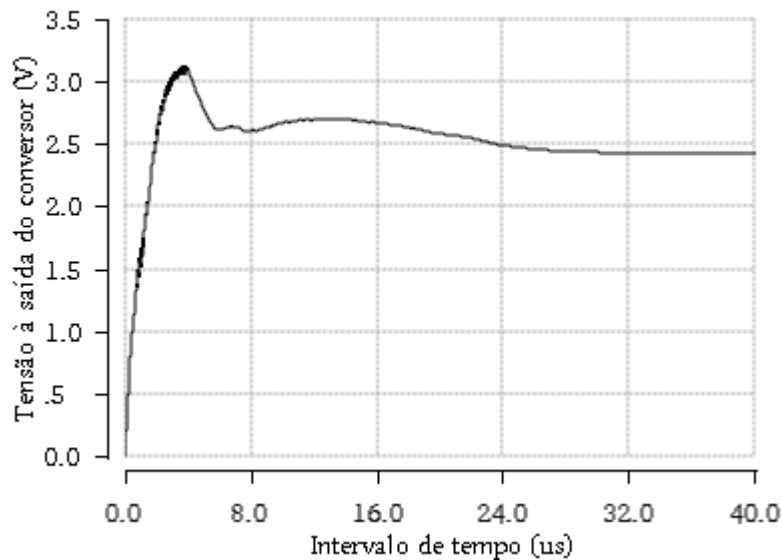


Figura 43: Tensão à saída do conversor

4.3. *Layout* e resultados de simulação do circuito extraído

Após efetuar a análise do funcionamento do circuito e ajuste dos componentes, de modo a obter a tensão pretendida em esquema elétrico, pode-se proceder ao ponto seguinte na conceção do circuito, que se trata de fazer o esquema deste em planta, normalmente referida como *layout*. É nesta fase que se definem as ligações no substrato e as várias camadas de metais, a organização dos elementos e o tamanho das ligações.

Também nesta fase, é de vital importância ter atenção a vários aspetos. Um destes é a polarização do substrato e o recurso a anéis de guarda, de forma a que cada anel envolva um bloco, ou um conjunto de blocos do circuito, criando-se um anel que envolva também o circuito completo. Isto permite não só polarizar, como também reduzir as interferências externas dos outros elementos que rodeiam quer os blocos que o circuito em si, incluindo ruído de substrato.

Uma vez que esta é a etapa em que o circuito tem uma configuração o mais próximo possível do circuito físico, então, é também nesta etapa que se colocam os pontos de ligação dos elementos internos com os elementos externos ao circuito - os PAD. É importante ter em atenção que, apesar do tamanho dos fios de ligação (que passam a ser referidos como *bondwires*) entre os elementos internos e externos ser bastante reduzido, não se pode desprezar a indutância dos mesmos. Deste modo é importante considerar a indutância dos *bondwires* aquando do momento de testes, uma vez que o funcionamento de alguns blocos pode alterar, implicando a alteração do funcionamento do circuito total. Normalmente cada *bondwire* tem uma indutância de aproximadamente 1nH/mm, podendo atingir 3nH numa situação típica. Este valor pode ser reduzido aumentando o número de fios em paralelo para cada ligação.

A indutância destas ligações cria também interferências entre os diferentes blocos do circuito. Assim, convém diferenciar também a alimentação e as ligações a *ground* do bloco de potência e do

LDO. Uma vez que o LDO é alimentado pela saída do *step-up*, é necessário diferenciar apenas o *ground*.

Seguidamente apresenta-se na Figura 44 o circuito em layout, onde se pode observar a montagem de cada bloco assim como a distribuição dos PAD. Este circuito foi desenhado para a tecnologia CMOS UMC 130nm MM/RF. Na Figura 44 encontram-se numerados os elementos principais do conversor, encontrando-se em anexo o layout de cada um deles, sendo estes:

1. *Ring-oscillator* (Anexo A);
2. *Boost* (Anexo B);
3. Dois estágios de *charge-pump* (Anexo C);
4. OTA (Anexo D);
5. *Bandgap* (Anexo E);
6. Transístor de passagem do LDO;
7. Fonte de corrente de referência (Anexo F).

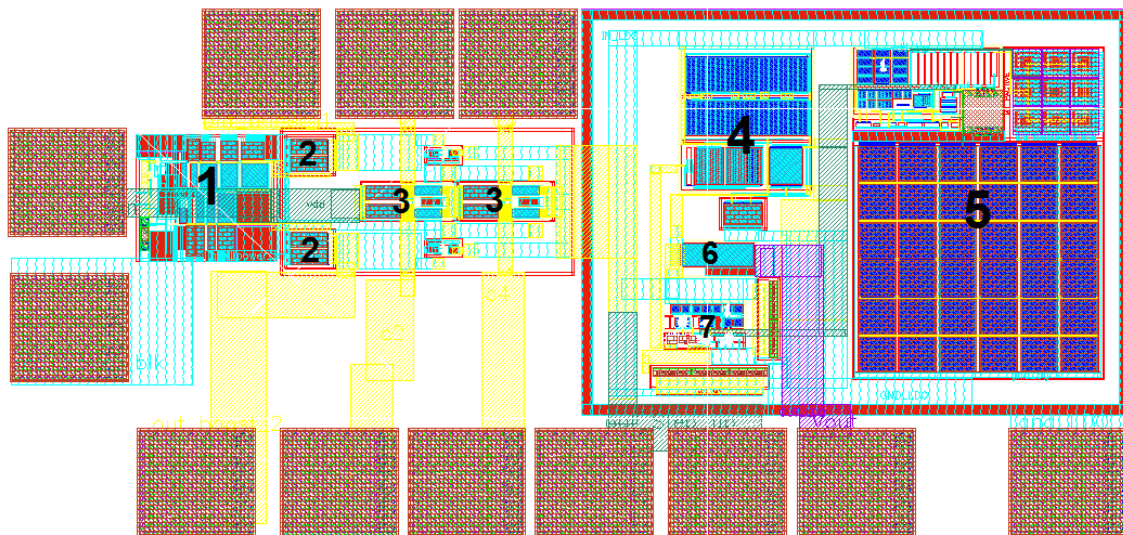


Figura 44: *Layout* do conversor

Como se pode observar foram necessários 12 PAD para fazer as ligações com os elementos exteriores. Na sua totalidade o circuito apresenta um comprimento de 799,28 μm e uma largura de 380,31 μm , resultando numa área de 0,303mm². Sem considerar os PAD a área do conversor é reduzida para 0,204mm².

Uma vez concretizado o *layout* é possível proceder à extração do circuito. Efetuando este processo obtêm-se as não linearidades do circuito, isto é, no circuito extraído contemplam-se todas resistências e capacidades parasitas resultantes da estrutura e das ligações entre os diferentes elementos.

Para verificar o funcionamento do conversor resta testar o seu funcionamento para condições extremas de funcionamento e fabrico no processo CMOS, conhecidas como *corners*. Analisa-se o funcionamento para os casos em que a temperatura é máxima (125°C), mínima (-40°C) e normal (27°C), fazendo variar para cada um dos casos a velocidade dos transístores entre *slow*, *fast* e *typical*. Deste modo resultam nove simulações, cujo objetivo é verificar o funcionamento do circuito a analisar para os casos limite referidos, de modo que permita encontrar as suas limitações.

Os resultados obtidos no teste com *corners* do circuito extraído são apresentados na Figura 45. Após a sua análise, é possível verificar que a tensão pretendida, de 2,4V, é atingida. No entanto, para os casos em que os transístores se encontram em modo *slow* a -40°C, a tensão obtida é apenas de 1,8V, aproximadamente. Desta forma, pode-se considerar este o único caso em que o objetivo de tensão de saída não foi atingido. Já no caso *typical*, também a -40°C, apesar da tensão de saída corresponder ao objetivo, verificam-se oscilações consideráveis na mesma. Todos os restantes casos garantem a tensão de saída pretendida, com níveis de oscilação aceitáveis.

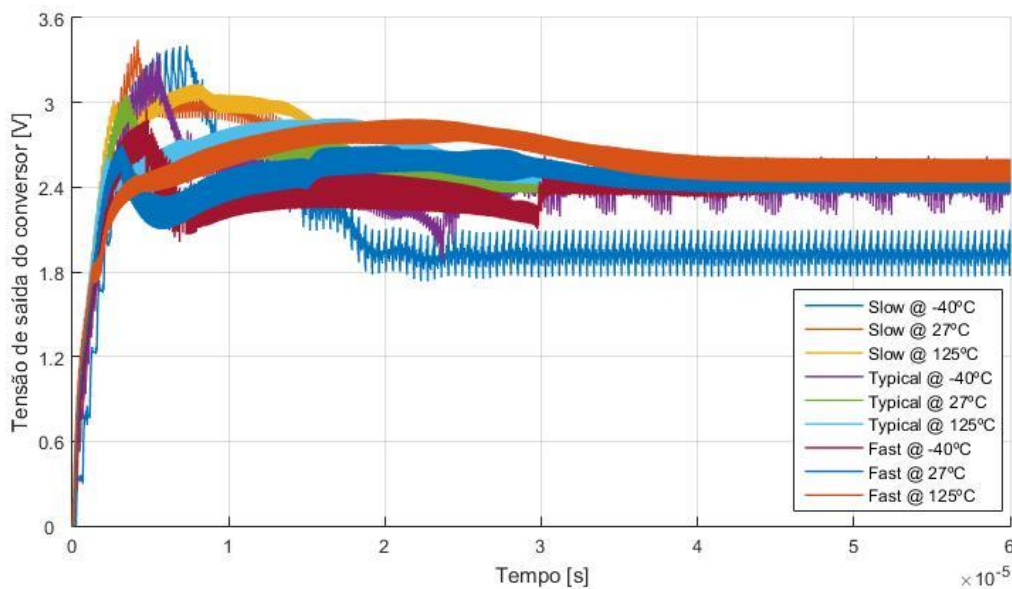


Figura 45: Tensão à saída do conversor extraído para os nove *corners*

Na Figura 46 apresentam-se os resultados em regime permanente dos testes com *corners* com mais detalhe, onde é possível observar as oscilações referidas.

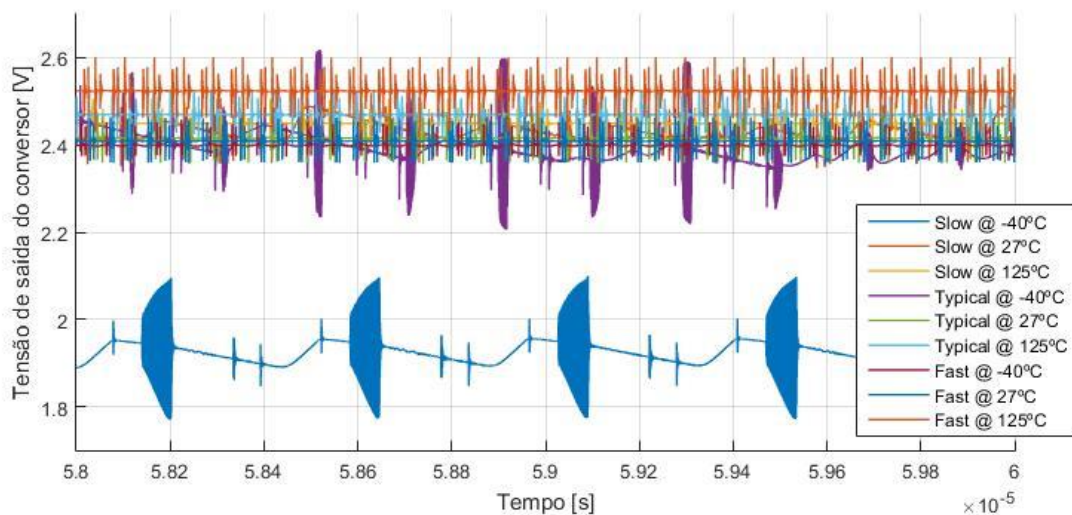


Figura 46: Tensão à saída do conversor extraído para os nove *corners* em regime permanente

5. Conclusões

5.1. Sumário e conclusões

Neste trabalho estudou-se um sistema que permita aumentar a tensão obtida através de fontes de recolha de energia, geralmente na ordem das centenas de mV. Este sistema trata-se de um conversor CC-CC elevador de tensão, baseado numa arquitetura indutiva-capacitiva, projetado em tecnologia CMOS com tecnologia UMC 130nm. O objetivo do circuito é aumentar a tensão de entrada de 0,5V para 2,4, de modo a possibilitar o seu uso por outros blocos funcionais de circuitos integrados.

Uma vez que se obteve um circuito capaz de aumentar a tensão de entrada de 0,5V para 2,4V, pode-se concluir que os objetivos foram cumpridos. Enfatiza-se, no entanto, que este circuito não atinge os resultados esperados em todos os testes com *corners*, relativamente à tensão de saída. À temperatura de -40°C encontram-se falhas, nomeadamente em modo *slow*, onde não é atingida a tensão requerida (atingindo apenas 1,8V), e em modo *typical*, onde, apesar da tensão de saída atingir o valor esperado, se verificam muitas oscilações.

Verificou-se também que os fatores mais determinantes neste circuito são o tamanho dos transístores e os impulsos de comando destes, já que são estes os elementos que podem provocar quedas de tensão relevantes, de modo a dificultar o funcionamento do circuito.

O conversor analisado neste projeto está limitado quanto à tensão de entrada. Isto porque caso a tensão de entrada varie, o conversor não está preparado de forma a ajustar o seu funcionamento para conseguir manter à saída 2,4V. De facto, se a tensão de entrada subir, os transístores do *boost* ficam sujeitos a uma diferença de tensão *source-bulk* superior à tensão limite, danificando estes transístores. Caso a tensão seja inferior a 0,5V, a tensão à saída será inferior a 2,4V, não atingindo assim os valores pretendidos, uma vez que o *ring-oscillator* não inclui controlo e reajuste do fator de ciclo.

Conclui-se, portanto, que é possível obter 2,4V com uma tensão de 0,5V utilizando um conversor CC-CC neste processo CMOS de 130nm.

Visto isto, é possível acrescentar à Tabela 1 o circuito proposto, obtendo desta forma a Tabela 4.

Tabela 4: Publicações relevantes para o estudo de conversores elevadores CC-CC para aplicações de *energy harvesting* e conversor proposto.

Artigo	Ano	Tecnologia	Área (mm ²)	Tensão de entrada V _{in} (V)		Tensão de saída V _{out} (V)	Frequência (kHz)
				min	max		
[13]	2005	0,5 μm CMOS	4,56	1,1	5	2 – 5	300
[14]	2005	0,6 μm CMOS	4,9	1	3,6	1,5	100
[9]	2009	0,35 μm CMOS	59	0,6	n/d	2	42-320
[10]	2009	0,13 μm CMOS	n/d	0,02	0,25	1	n/d
[12]	2009	0,35 μm SOI BCD	5,76	0,4	2	3,6-15	20-200
[15]	2009	0,6 μm CMOS	1,15	0,6	n/d	2,7	600
[5]	2009	0,18 μm CMOS	0,405	0,2	0,4	1,2	7 000
Circuito proposto	2016	0,13 μm CMOS	0,204	0,4	0,6	2,4	10 000

n/d – não definido.

5.2. Trabalhos futuros

Este sistema eletrónico pode ser melhorado em determinados aspetos. Um desses seria alcançar uma saída constante de 2,4V com variação na tensão de entrada, recorrendo a um controlo imposto ao *ring-oscillator*. Este aspeto pode ser resolvido através da aplicação de um bloco de controlo, que teria que adaptar o fator de ciclo dos impulsos que comandam os transístores do *boost*, de acordo com a variação da tensão de entrada.

Outro aspeto a melhorar pode ser a resposta deste conversor nas situações limite testadas, ou seja, corrigir o circuito de modo a conseguir obter 2,4V à saída nos *corners* mais críticos.

Referências bibliográficas

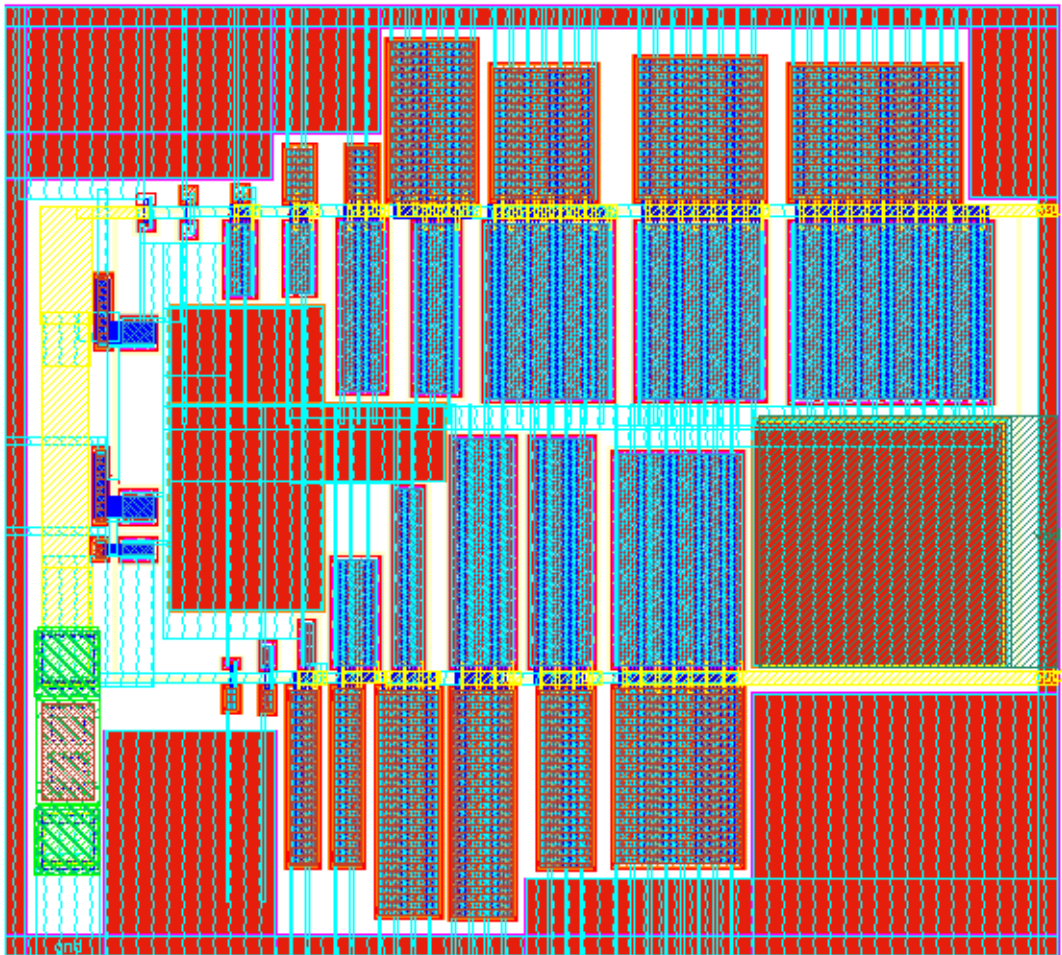
- [1] C. Po-Hung, K. Ishida, X. Zhang, Y. Okuma, R. Yoshikatsu, M. Takamiya, e T. Sakurai, "0.18-V Input Charge Pump with Forward Body Bias to Startup Boost Converter for Energy Harvesting Applications," *IEICE transactions on electronics*, vol. E94, no. 4, pp. 598–604, 2011.
- [2] S. Xu, K. D. T. Ngo, T. Nishida, G. B. Chung, e A. Sharma, "Low frequency pulsed resonant converter for energy harvesting," *IEEE Transactions on power electronics*, vol. 22, no. 1, pp. 63–68, 2007.
- [3] A. Richelli, S. Comensoli e Z. M. Kovacs-Vajna, "A DC / DC boosting technique and power management for ultralow-voltage energy harvesting applications," *IEEE Transactions on Industrial Electronics*, vol. 59, no. 6, pp. 2701–2708, 2012.
- [4] L. Mateu e F. Moll, "Review of energy harvesting techniques and applications for microelectronics," *Microtechnologies for the New Millennium 2005*. International Society for Optics and Photonics, pp. 359–373, 2005.
- [5] A. Richelli, L. Colalongo, S. Tonoli, e Z. M. Kovacs-Vajna, "A 0.2 - 1.2 V DC/DC Boost Converter for Power Harvesting Applications," *IEEE transactions on power electronics*, vol. 24, no. 6, pp. 1541–1546, 2009.
- [6] X. Cao, W. J. Chiang, Y. C. King, e Y. K. Lee, "Electromagnetic energy harvesting circuit with feedforward and feedback DC-DC PWM boost converter for vibration power generator system," *IEEE Transactions on Power Electronics*, vol. 22, no. 2, pp. 679–685, 2007.
- [7] H. Hernandez, S. T. Kofuji, e W. Van Noije, "Fully integrated boost converter for thermoelectric energy harvesting," em *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*, pp. 1–3, 2013.
- [8] A. Richelli, L. Mensi, L. Colalongo, P. L. Rolandi, e Z. M. Kovacs-Vajna, "A 1.2-to-8V Charge-Pump with Improved Power Efficiency for Non-Volatile Memories," em *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*. IEEE, pp. 522–619, 2007.
- [9] I. Doms, P. Merken, R. Mertens, e C. Van Hoof, "Integrated capacitive power-management circuit for thermal harvesters with output Power 10 to 1000 μ W," em *2009 IEEE International Solid-State Circuits Conference-Digest of Technical Papers*. IEEE, pp. 300–301, 2009.
- [10] E. Carlson, K. Strunz, e B. Otis, "20mV input boost converter for thermoelectric energy harvesting," em *IEEE Symp. VLSI Circuits Dig. Tech. Papers*, pp. 162–163, 2009.
- [11] Y. K. Ramadass e A. P. Chandrakasan, "A batteryless thermoelectric energy-harvesting interface circuit with 35mV startup voltage," *Institute of Electrical and Electronics Engineers*, 2010.
- [12] S. Matsumoto, T. Shodai, e Y. Kanai, "A Novel Strategy of a Control IC for Boost Converter with Ultra Low Voltage Input and Maximum Power Point Tracking for Single Solar Cell Application," em *2009 21st International Symposium on Power Semiconductor Devices & IC's*. IEEE, pp. 180–183, 2009.

- [13] H. Deng, X. Duan, N. Sun, Y. Ma, A. Q. Huang, e D. Chen, "Monolithically Integrated Boost Converter Based on 0.5- μ m CMOS Process," *IEEE Transactions on Power Electronics*, vol. 20, no. 3, pp. 628–638, 2005.
- [14] C. Y. Leung, P. K. T. Mok, e K. N. Leung, "A 1-V integrated current-mode boost converter in standard 3.3/5-V CMOS technologies," *IEEE Journal of solid-state circuits*, vol. 40, no. 11, pp. 2265–2274, 2005.
- [15] Y. T. Wong, C. W. Ng, H. M. Wan, K. K. Kwong, Y. H. Lam, e W. H. Ki, "Near-threshold startup integrated boost converter with slew rate enhanced error amplifier," em *2009 IEEE International Symposium on Circuits and Systems*. IEEE, pp. 2409–2412, 2009.
- [16] Fairchild Semiconductor, "CMOS, the Ideal Logic Family," AN-77, 1983.
- [17] V. Costa, P. M. Santos, e B. V. Borges, "Design Method for Integrated CMOS Quasi-Square-Wave DC-DC Converters," em *Proceedings of DCIS2005, XX Conference on Design of Circuits and Integrated Systems, Lisboa*. 2005.
- [18] J. M. Vaz, "Tecnologia UMC 0,13um 1P8M MM/RF," *Instituto Superior Técnico*, 2014.
- [19] "UMC 0.13 UM Technology Overview (MPW)." [Online]. Disponível em: http://www.europractice-ic.com/technologies_UMC.php?tech_id=013um. [Acedido a 24-Dez-2015].
- [20] "Module 3: Fabrication Process and Layout Design Rules Lecture 12: CMOS Fabrication Technologies." [Online]. Disponível em: <http://nptel.ac.in/courses/117101058/downloads/Lec-12.pdf>. [Acedido a 24-Dez-2015].
- [21] D. Harris, e N. Weste, "CMOS VLSI design," 2010.
- [22] A. Richelli, L. Colalongo, M. Quarantelli, M. Carmina, e Z. M. Kovacs-Vajna, "A fully integrated inductor-based 1.8-6-V step-up converter," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 1, pp. 242–245, 2004.
- [23] M. D. Ker, S. L. Chen, e C. S. Tsai, "Design of Charge Pump Circuit With Consideration of Gate-Oxide Reliability in Low-Voltage CMOS Processes," *IEEE Journal of Solid-State Circuits* vol. 41, no. 5, pp. 1100–1107, 2006.
- [24] L. Pylarinos, e E. Roger, "Charge Pumps : An Overview," *Department of Electrical and Computer Engineering University of Toronto*, no. 1. 2003.
- [25] J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," *IEEE Journal of solid-state circuits*, vol. 11, no. 3, pp. 374–378, 1976.
- [26] K. H. Choi, J. M. Park, J. K. Kim, T. S. Jung e K. D. Suh, "Floating-well charge pump circuits for sub-2.0 V single power supply flash memories," em *VLSI Circuits, 1997. Digest of Technical Papers., 1997 Symposium on*. IEEE, 1997.

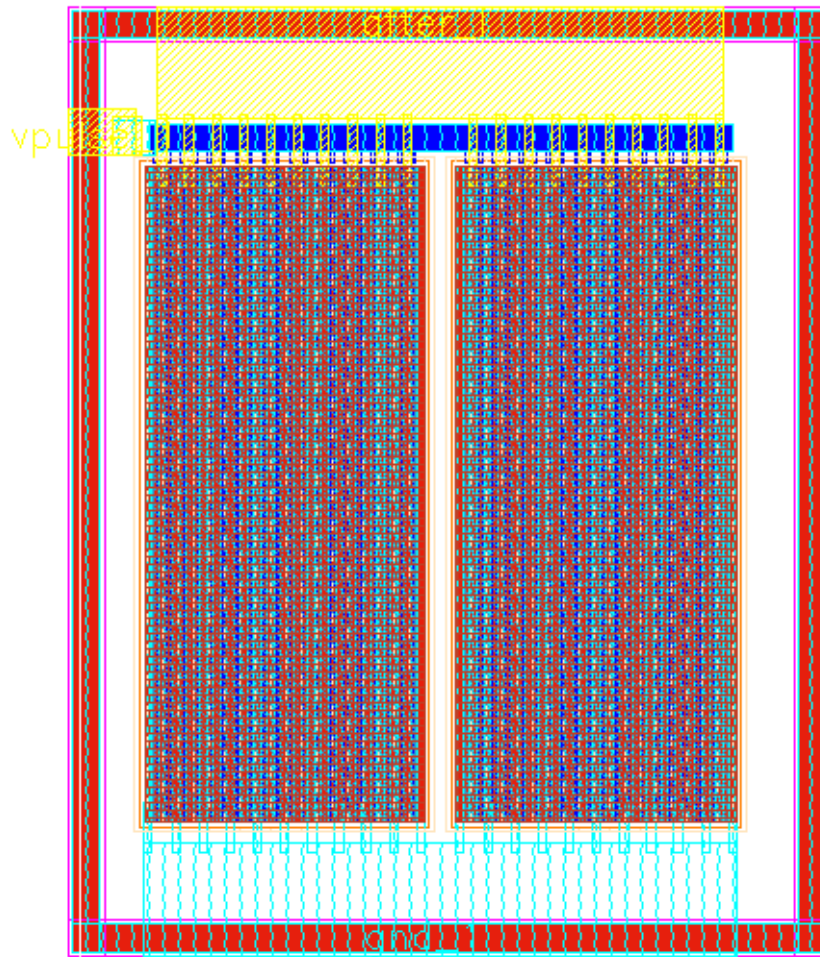
- [27] J. Shin, I. Y. Chung, Y. J. Park, e H. S. Min, "A new charge pump without degradation in threshold voltage due to body effect [memory applications]," *IEEE Journal of Solid-State Circuits* vol. 35, no. 8, pp. 1227–1230, 2000.
- [28] J. C. Chen, T. H. Kuo, L. E. Cleveland, C. K. Chung, N. Leong, Y. K. Kim, T. Akaogi, e Y. Kasa, "A 2.7 V only 8 Mb/spl times/16 NOR flash memory. In *VLSI Circuits, 1996. Digest of Technical Papers, 1996 Symposium on*," pp. 172–173, 1996.
- [29] K. Sawada, Y. Sugawara, e S. Masui, "An on-chip high-voltage generator circuit for EEPROMs with a power supply voltage below 2 V," em *VLSI Circuits, 1995. Digest of Technical Papers., 1995 Symposium on*. IEEE pp. 75–76, 1995.
- [30] S. Atsumi, M. Kuriyama, A. Umezawa, H. Banba, K. Naruke, S. Yamada, M. Oshikiri, Y. Hiura, T. Yamane, e K. Yoshikawa, "A 16-Mb flash EEPROM with a new self-data-refresh scheme for a sector erase operation," *IEICE Transactions on Electronics*, vol. 77, no. 5, pp: 791-799, 1994.
- [31] H. Lin e N. H. Chen, "New four-phase generation circuits for low-voltage charge pumps. In *IEEE international symposium on circuits and systems*, no 1, pp. 504–507. 1999.
- [32] H. Lin, K. H. Chang, e S. C. Wong, "Novel high positive and negative pumping circuits for low supply voltage," em *Circuits and Systems. ISCAS'99. Proceedings of the 1999 IEEE International Symposium on*, vol. 1 pp. 8–11. 1999.
- [33] J. T. Wu e K. L. Chang, "MOS charge pumps for low-voltage operation," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 4, pp. 592–597, 1998.
- [34] M. Day, "Understanding Low Drop Out (LDO) Regulators," *Texas Instruments, Dallas*, pp. 1–6, 2002.
- [35] E. Sánchez-Sinencio, "Low drop-out (LDO) linear regulators: design considerations and trends for high power-supply rejection (PSR)," *Texas A & M University* 2010.
- [36] P. C. Crepaldi, L. H. Ferreira, T. C. Pimenta, R. L. Moreno, L. B. Zoccal, e E. C. Rodriguez "Structural Design of a CMOS Voltage Regulator for an Implanted Device," *Current trends and challenges in RFID*. 2011.
- [37] C. E. Azevedo, "Fully integrated dc-dc buck converter," *Instituto Superior Técnico*, 2015.
- [38] A. K. Mahato, "Ultra low frequency CMOS ring oscillator design," *Engineering and Computational Sciences (RAECS), 2014 Recent Advances in*, pp. 1–5, 2014.

Anexos

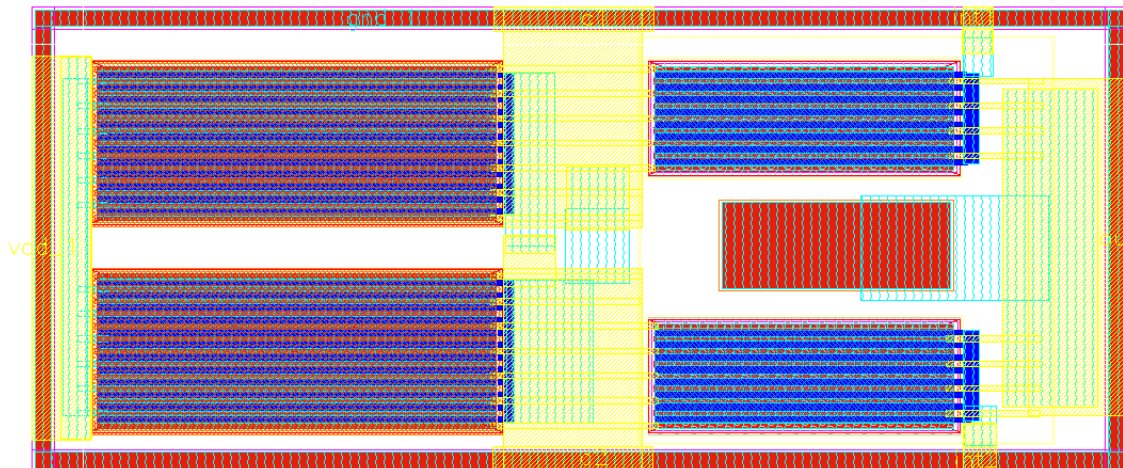
Anexo A – Ring-Oscillator



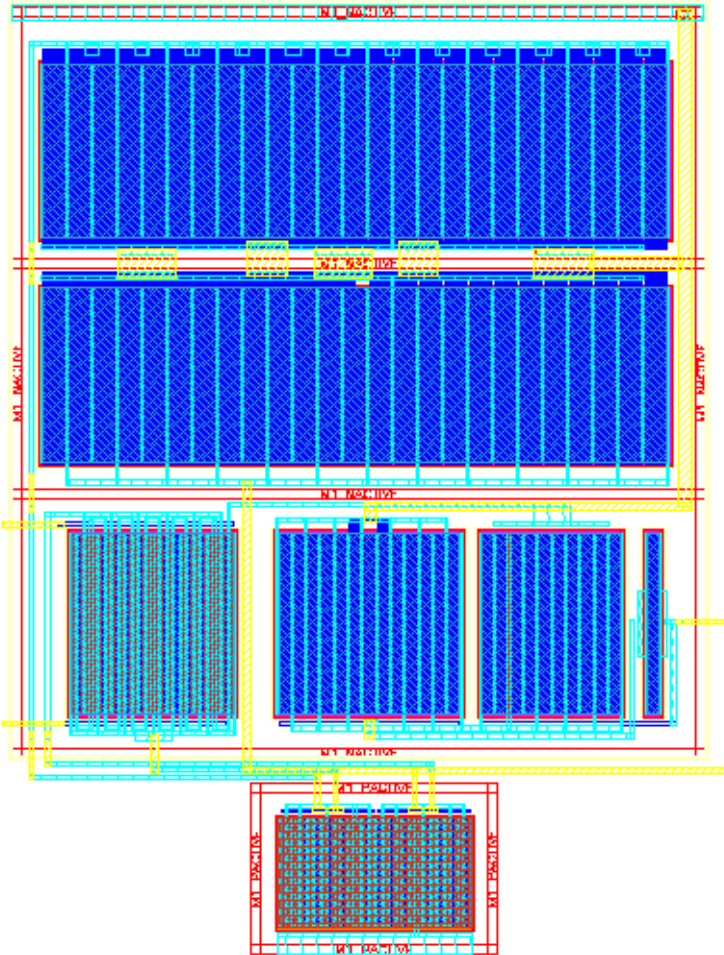
Anexo B – Boost



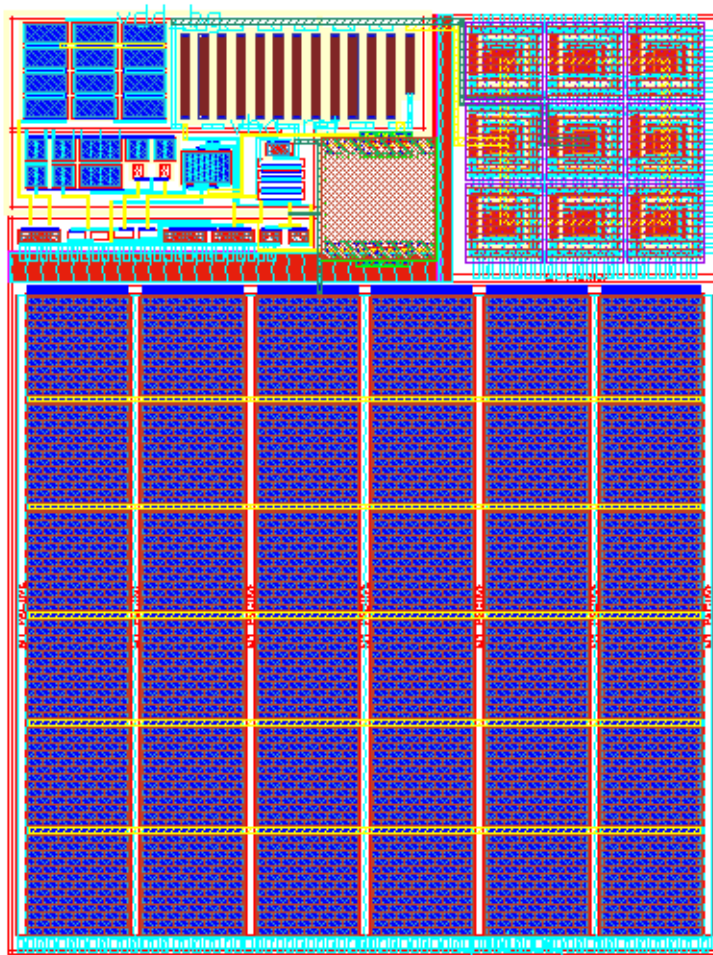
Anexo C – Charge-pump (dois estgios)



Anexo D – OTA



Anexo E – Bandgap



Anexo F – Fonte de corrente de referência

