

Regulador linear de tensão em tecnologia HV-CMOS

Frédéric Gonçalves da Mota

Dissertação para obtenção do Grau de Mestre em

Engenharia Eletrotécnica e de Computadores

Júri:

Presidente: Professor Doutor Marcelino Bicho dos Santos

Orientador: Professora Doutora Maria João Marques Martins

Co-Orientador: Professor Doutor Pedro Nuno Mendonça dos Santos

Vogal: Professor Doutor Vítor Manuel da Silva Costa

Outubro de 2012

Agradecimentos

Quero começar por agradecer aos meus orientadores, Professor Pedro Mendonça dos Santos e Professora Maria João Martins, pela orientação, incentivo, dedicação e por todas as aprendizagens que me proporcionaram, não esquecendo a total disponibilidade demonstrada.

À Academia Militar, por me ter guiado neste caminho, incentivando-me a conhecer o significado do que é ser Militar, Pessoa e Cidadão, dando-me as ferramentas para que "... O amanhã começa agora!" (excerto do Hino da Academia Militar).

Ao Instituto Superior Técnico, pelos conhecimentos transmitidos e sabedoria partilhada ao longo do meu percurso académico.

Aos meus pais que despertaram em mim o gosto pelo trabalho e por acreditarem que a educação iria dar frutos na minha vida, acreditando sempre em mim. Pelo constante carinho e apoio que me impeliram a continuar...

À Nádía pela tolerância na minha ausência, paciência nos momentos críticos e carinho...

Agradeço a todas as pessoas que me ajudaram, de alguma maneira, ao longo deste meu trajeto.

Gostaria que esta dissertação contribuísse para clarificar e/ou ampliar conhecimentos aos seus leitores.

...Obrigado!

Resumo

Atualmente, assiste-se na nossa sociedade a um recurso e uso massivo de equipamentos eletrônicos portáteis. Este facto, aliado à competitividade de mercado, exigiu o desenvolvimento desses equipamentos com o intuito de melhorar a sua gestão de potência e, obter, consequentemente, maior autonomia e rendimento. Assim, na gestão de potência de um SoC são os reguladores de tensão que assumem um papel de extrema importância.

O trabalho realizado ao longo da presente dissertação pressupõe o projeto de um regulador linear de tensão do tipo LDO em tecnologia HV-CMOS, capaz de suportar tensões de entrada de 12V com vista à alimentação de blocos funcionais RF-CMOS com 3,3V e uma corrente de 100mA. Foi implementado através do processo CMOS de 0.35 μ m de 50V da *Austria Micro Systems*.

A corrente de quiescente do regulador linear de tensão que determina a eficiência de corrente é de 120,22 μ A. Possui uma eficiência de corrente de 99,88% e um rendimento de 82,46% quando a tensão mínima de entrada é utilizada. O regulador linear de tensão possui uma tensão de *dropout* de 707mV. A estabilidade do sistema é mantida mesmo com transições de carga de 10 μ A para 100mA. O regulador possui um tempo de estabelecimento inferior a 2,4 μ s e uma variação da tensão de saída relativamente ao seu valor nominal inferior a 18mV, ambos para o pior caso. Porém, este regulador possui um *undershoot* e um *overshoot* de $\pm 1,85$ V.

Palavras-chaves: LDO, tensão de dropout, estabilidade, eficiência de corrente.

Abstract

Currently, we are witnessing in our society a massive use of portable electronic equipment. This fact, together with the competitiveness of the market, requires the development of these devices in order to improve its power management and obtain, consequently, higher autonomy and efficiency. Thus, in power management, namely in System-on-Chip (SoC), the voltage play a major role.

The work performed through this thesis requires the design of a LDO linear voltage regulator in HV-CMOS technology, capable of withstanding input voltages of 12V of supply for the functional blocks of RF-CMOS 3.3 V and a current of 100mA. It was implemented by with the 0.35 μ m, 50V, CMOS process from Austria Micro Systems.

The quiescent current of the designed linear voltage regulator which determines the current efficiency is 120.22 μ A. It has a current efficiency of 99.88% and an efficiency of 82.46% when the minimum voltage input is used. The linear voltage regulator has a dropout voltage of 707mV. Stability of the system is maintained even with load transitions from 10 μ A to 100mA. The regulator has a settling time below 2.4 μ s and a variation of the output voltage relative to its nominal value less than 18mv (worst case condition). The regulator has an undershoot and overshoot of ± 1.85 V.

Keywords: LDO, dropout voltage, stability, current efficiency.

Índice

Agradecimentos	ii
Resumo	iii
Abstract.....	iv
Índice.....	v
Lista de figuras	vii
Lista de Tabelas	x
Lista de acrónimos	xi
Lista de símbolos e variáveis	xii
Introdução.....	1
1.1 Objetivos	3
1.2 Estado da Arte	5
1.3 Organização da Dissertação	8
Reguladores lineares de tensão	9
2.1 Caracterização de um regulador linear de tensão	12
2.1.1 Regime estático	12
2.1.2 Regime dinâmico	14
2.1.3 Especificações de alta frequência	16
2.1.4 Rendimento	17
2.2 Transístor de Potência	19
2.3 Amplificador de erro	21
2.4 Tensão de referência	21
Metodologia de Projeto do Regulador	27
3.1 Transístor de potência	28
3.2 Amplificador de erro	32
3.2.1 Análise AC.....	34
3.3 Fonte de corrente.....	35
3.4 Regulador de tensão linear.....	37
Simulação da Topologia Proposta	39
4.1 Análise da estabilidade.....	41
4.2 Tensão de dropout do Regulador linear de tensão	42

4.3	Regulação da linha.....	44
4.4	Regime transitório.....	46
4.5	Rendimento.....	49
	Conclusões	51
5.1	Trabalho futuro	54
	Referências bibliográficas	55
	Anexos.....	59

Lista de figuras

Figura 1.1 - Constituição simplificada de um bloco de gestão de potência.	2
Figura 1.2 – Exemplo simplificado de um regulador de tensão	2
Figura 1.3 – Classificação de um regulador linear de tensão	3
Figura 1.4 – Esquema simplificado dos parâmetros especificados para a realização do regulador	4
Figura 2.1 – As duas principais topologias de um regulador linear de tensão	10
Figura 2.2 – Curva característica das regiões de funcionamento de um regulador	11
Figura 2.3 – Constituição simplificada de um regulador linear de tensão	11
Figura 2.4 – Parâmetros de um regulador de tensão	13
Figura 2.5 – Representação gráfica da definição de regulação da linha	13
Figura 2.6 – Representação gráfica da definição da regulação da carga	14
Figura 2.7 – Representação gráfica que ilustra a variação da tensão de saída em regime dinâmico	15
Figura 2.8 – Ilustração de overshoot e de undershoot	15
Figura 2.9 - Representação gráfica do PSRR	16
Figura 2.10 – Ilustração da tensão de ruído na saída de um LDO	16
Figura 2.11 – Ilustração da corrente quiescente de um regulador LDO	17
Figura 2.12 – Variação da corrente quiescente em relação a diferentes transístores de potência	18
Figura 2.13 – Configurações possíveis a implementar no transístor de potência	19
Figura 2.14 – Constituição de um regulador de tensão NMOS, com e sem <i>charge pump</i>	21
Figura 2.15 – Topologia típica de um regulador	22
Figura 2.16 – Modelo para sinais fracos do regulador	22
Figura 2.17 – Resposta em frequência típica de um regulador, localização dos polos e zeros ...	24
Figura 2.18 – Representação gráfica da contribuição de cada polo e cada zero	24
Figura 2.19 – Ilustração gráfica de um LDO instável e estável, respectivamente	25
Figura 2.20 – Constituição de um regulador de tensão típico	25
Figura 2.21 – Representação gráfica de um LDO sem e com um condensador externo, respetivamente	26
Figura 2.22 – Relação entre C_o e ESR	26

Figura 3.1 – Estrutura do Regulador linear de tensão proposto.....	28
Figura 3.2 – Configuração do transistor de potência utilizado, transistor PMOS	29
Figura 3.4 – Tensão de threshold do transistor PMOS50H e PMOS50HS, respectivamente	31
Figura 3.5 – Esquema elétrico base usado de um OTA.....	32
Figura 3.6 – Esquema elétrico do amplificador de erro.....	33
Figura 3.7 – Esquema simplificado de simulação para a resposta em frequência do amplificador de erro.....	34
Figura 3.8 – Caracterização do ganho e da fase do amplificador de erro	34
Figura 3.9 – fonte de corrente.....	35
Figura 3.10 – Correntes de saída da fonte de corrente em função da variação da tensão de alimentação.....	36
Figura 3.11 – Esquema do regulador linear de tensão projetado	38
Figura 4.1 – Parâmetros de velocidade dos transístores pertencente aos corners do processo utilizado.....	40
Figura 4.2 – Esquema de simulação para resposta em frequência.....	41
Figura 4.3 – Caracterização do ganho e da fase, considerando todas as hipóteses	41
Figura 4.4 - Caracterização do ganho e da fase para $I_{carga} = 100\text{mA}$	42
Figura 4.5 – Curva característica do regulador de tensão projetado (para $I_{carga} = 100\text{mA}$)	42
Figura 4.6 – Tensão de saída perante variação sinusoidal da tensão de alimentação.....	43
Figura 4.7 - Curvas características do regulador de tensão considerando os <i>corners</i>	43
Figura 4.8 - Tensão de saída perante variação sinusoidal da tensão de alimentação com corners	44
Figura 4.9 – Ampliação da Figura 4.15	44
Figura 4.10 – Simulação da regulação da linha.....	45
Figura 4.11 – Simulação da regulação da linha na ausência de carga	45
Figura 4.12 – Simulação da regulação da linha na ausência de carga, com os corners	46
Figura 4.13 – Tempo de estabelecimento perante um step de 0 a 12V	47
Figura 4.15 – Pormenor do tempo de estabelecimento, perante um step de 0 a 12V	47
Figura 4.16 – Tensão de saída perante variações na corrente de carga	48
Figura 4.17 – Ampliação da Figura 4.16	48
Figura 4.18 – Corrente de carga e corrente de entrada do regulador projetado	49
Figura 4.19 - Corrente de saída e corrente de entrada do regulador projetado com corners.....	50
Figura 4.20 – Gráfico ilustrativo do rendimento do regulador projetado	50

Anexo 1 – Circuito usado para testar a estabilidade do regulador linear de tensão	60
Anexo 2 – Circuito usado para calcular a corrente de quiescente para vários valores de corrente de carga	61
Anexo 3 – Circuito usado para a regulação da linha na ausência de carga.....	62
Anexo 4 - Circuito usado para a regulação da linha	63
Anexo 5 – Circuito usado para calcular o tempo de estabelecimento perante um step na tensão de alimentação.....	64
Anexo 6 - Circuito usado para calcular o tempo de estabelecimento para vários valores de carga, perante um step na tensão de alimentação	65
Anexo 7 – Circuito usado para o cálculo da tensão de saída perante variações (step) na corrente de carga	66
Anexo 8 – Esquemático da fonte de corrente do regulador linear de tensão projetado.....	67
Anexo 9 – Esquemático do amplificador de erro do regulador linear de tensão projetado.	68
Anexo 10 – Visualização do símbolo criado para o transistor de potência.....	69
Anexo 11 - Visualização do símbolo criado para a realimentação resistiva do sistema.	69

Lista de Tabelas

Tabela 1.1 – Parâmetros especificados para a realização do regulador	4
Tabela 1.2 – Evolução dos reguladores lineares de tensão ao longo dos anos	6
Tabela 2.1 – Comparação entre as configurações do transistor de potência	20
Tabela 3.1 – Transistores PMOS possíveis para o projeto	30
Tabela 3.2 – Parâmetros do transistor de potência PMOS	31
Tabela 3.3 – Tamanho dos transistores do amplificador de erro.	33
Tabela 3.4 – Tamanho dos transistores e o valor da resistência da fonte de corrente	36
Tabela 4.1 – Parâmetros dos corners utilizados nas simulações	40
Figura 4.1 – Parâmetros de velocidade dos transistores pertencente aos corners do processo utilizado.....	40
Tabela 4.2 – Corrente de entrada, da carga e de quiescente para vários valores de carga	49
Tabela 5.1 – Comparação entre reguladores realizados por outros autores e o regulador proposto.....	53

Lista de acrónimos

BJT Bipolar Junction Transistor

ESR Equivalent Series Resistance

FET Field Effect Transistor

FOM Figure Of Merit

GBW Gain Bandwidth Product

HDO High Drop-out Voltage

HV-CMOS High Voltage CMOS

LDO Low Drop-out Voltage

OTA Operational Transconductance Amplifier

PSRR Power Supply Rejection Ratio

SoC System-on-Chip

UGF Unitary Gain Frequency

Lista de símbolos e variáveis

A , ganho do amplificador de erro.

$A_v(s)$, Ganho em malha aberta.

C_{gs} e C_{gd} , Capacidades parasitas do transistor de potência.

C_{out} , Condensador à saída do regulador.

C_{par1} , Capacidades parasitas introduzidas pelo segundo estágio do amplificador de erro.

C_{par2} , Capacidades parasitas introduzidas pelo transistor de potência.

$Ef_{corrente}$, Eficiência de corrente

g_{mp} , Transcondutância do transistor de potência

G_{ma1} , Transcondutância do amplificador de erro

G_{ma2} , Transcondutância do transistor de potência

I_{dd} , Corrente de entrada

I_{out} , Corrente de saída

I_{Omax} , Corrente máxima que atravessa a carga

I_Q , Corrente quiescente

K_P , Parâmetro de processo

L_R , Regulação da linha

LR_{load} , Regulação da carga

P_{in} , Potência de entrada

P_{out} , Potência de saída

R_{aux} , Resistência de saída do sistema

R_{esr} , Resistência associada ao condensador externo.

R_L , Resistência da carga

R_{oa1} e R_{oa2} , Resistência de saída do primeiro e do segundo estágio do amplificador de erro

r_{op} , Resistência de saída do transistor de potência

$R1$, Resistência 1 da malha de realimentação

R_2 , Resistência 2 da malha de realimentação

TC_{Ron} , Resistência do transistor de potência em função da variação da temperatura

T_G , Tempo de atraso do processo utilizado

T_R , Tempo de resposta

V_{drop} , Tensão de *dropout*

V_{fb} , Tensão gerada pela malha de realimentação

V_{in} , Tensão de entrada

$V_{in_{min}}$, Tensão mínima necessária para o regulador regular a tensão de saída

V_{out} , Tensão de saída

$V_{out_{reg}}$, Tensão de saída para o qual o LDO foi projetado

V_{ref} , Tensão de referência

$V_{SD_{sat}}$, Tensão de saturação

V_{th} , Tensão de *threshold*

V^+ , Terminal positivo do amplificador de erro

$\frac{W}{L}$ a relação das dimensões físicas do transistor

Z_o , Impedância de saída

ΔI_{load} , Variação da carga

Δt , Reposta temporal do LDO

$\Delta Temp$, Variação da temperatura

ΔV_{in} , Variação da tensão de entrada

ΔV_{out} , Variação da tensão de saída

ΔV_{LDR} , Variação de tensão resultante da regulação da carga

ΔV_{LNR} , Variação de tensão resultante da regulação da linha

$\Delta V_{LNR_{ref}}$, Variação da tensão de referência resultante da regulação da linha

ΔV_{TC} , Variação da tensão de saída em relação à temperatura

$\Delta V_{TC_{ref}}$, Variação da tensão de referência resultante da dependência com a temperatura

$\Delta V_{TC_{Vos}}$, Variação na tensão de saída provocadas pela tensão de *offset* do amplificador de erro

ΔV_{tr} , Variação de tensão resultantes resposta transiente

ΔV_{supply} , Variação da tensão de entrada

β , Divisor resistivo

η , Rendimento

1

Introdução

A utilização massiva de equipamentos eletrônicos portáteis é uma realidade cada vez mais instalada na nossa sociedade. O crescimento da utilização destes equipamentos eletrônicos portáteis exigiu desenvolvimentos ao nível da gestão de potência, em busca do aumento de autonomia, desempenho e fiabilidade. De grande relevância para cativar a atenção comercial, essas características são particularmente relevantes quando falamos de aparelhos médicos, como por exemplo o *pacemaker*.

Tendo em vista as características acima referidas, torna-se essencial o bloco de gestão de potência num *System-on-Chip* (SoC). Um SoC é um circuito integrado onde são integrados todos os componentes eletrônicos de um circuito num único chip. Nesse chip existem blocos funcionais diferentes, como por exemplo, blocos analógicos, blocos digitais e blocos de radiofrequência. A gestão de potência num SoC é responsável pela correta distribuição de corrente no circuito integrado de acordo com as necessidades de cada bloco. Representado de forma simples na Figura 1.1, a gestão de potência num SoC é constituída por um conjunto de blocos que permitem, individualmente, fornecer diferentes tensões de alimentação [1].

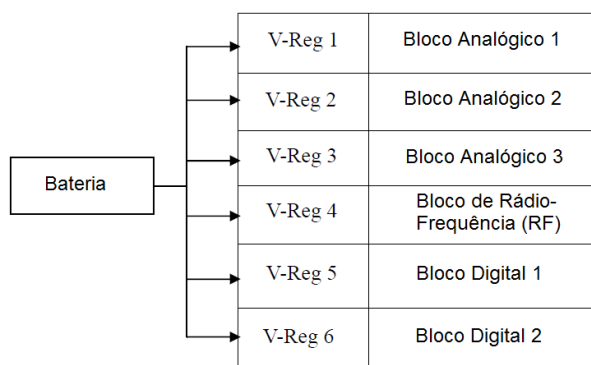


Figura 1.1 - Constituição simplificada de um bloco de gestão de potência.

Com a evolução tecnológica na área da eletrónica, ainda que as tensões de alimentação tenham diminuído, aumentaram as exigências a nível do rendimento e consequentemente, do tempo médio de vida das baterias. Para servir esse objetivo, é necessário utilizar vários reguladores de tensão em cada bloco, lineares e/ou comutados. Devido a isso são otimizados os diferentes circuitos num SoC e permite a redução do efeito de *cross-talk* entre os mesmos, bem como a redução do consumo de energia que se reflete no aumento do rendimento [1]. Como representado pela Figura 1.2, de uma forma simplificada, um regulador de tensão tem como objetivo fornecer uma determinada tensão de saída constante, V_{out} , consoante uma tensão de entrada, V_{in} .

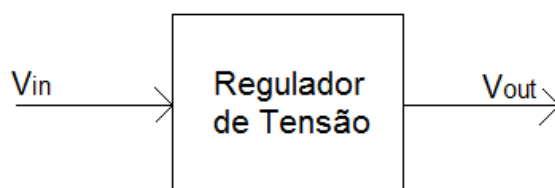


Figura 1.2 – Exemplo simplificado de um regulador de tensão.

Podem dividir-se em duas categorias distintas: reguladores lineares de tensão e conversores de tensão DC-DC comutados, comportando cada um deles vantagens e desvantagens na sua aplicação [2]. Relativamente aos conversores de tensão DC-DC comutados apesar de terem elevado rendimento são de *design* e implementação mais complexa do que os reguladores lineares de tensão [2]. O uso de componentes externos, como bobinas e condensadores, comportam aumentos ao nível do custo e dimensão. Para além disso, são responsáveis pela elevada emissão de ruído na tensão de saída associada à frequência de comutação dos transístores do conversor.

Por outro lado, os reguladores lineares de tensão apresentam um elevado fator de rejeição do ruído da fonte de alimentação (PSSR), menor custo, baixo nível de ruído na saída e ainda uma resposta rápida à variação de carga [2]. Como contrapartida, são de baixo rendimento, embora o seu rendimento aumente à medida que a diferença $V_{in} - V_{out}$ diminui.

1.1 Objetivos

No que concerne aos reguladores lineares de tensão, estes podem ser de baixa ou alta potência, compensados interna ou externamente e possuírem alta ou baixa tensão de *dropout*, classificação representada pela Figura 1.3 [2].

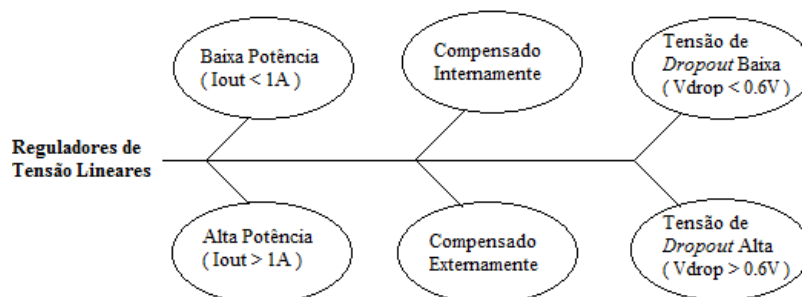


Figura 1.3 – Classificação de um regulador linear de tensão [2].

Designa-se por tensão de *dropout*, a tensão mínima necessária a acrescentar à tensão de entrada para que o regulador funcione corretamente. Considera-se que a tensão de *dropout* é baixa quando inferior a 0.6V (LDO) e alta (HDO) quando superior a este valor [2]. Apesar de um *low dropout voltage* (LDO) ser considerado de baixa tensão de dropout quando inferior a 0.6V, o seu valor típico situa-se entre 200 e 300mV [2].

A forma mais usual de compensar um regulador é através de um condensador externo (na ordem dos pF), contudo, depende se a finalidade do regulador é ser totalmente integrado ou não. A total integração, consequência de compensação interna, resulta numa maior área do circuito integrado e uma maior dificuldade na diminuição da tensão de *overshoot* devido à variação da carga [1] [3].

Considera-se que a potência de um regulador é baixa quando a corrente da carga é inferior a 1A e alta quando superior a este valor [2].

De uma maneira simples, um regulador linear de tensão é constituído por um transístor de potência, um amplificador de erro e por uma malha de realimentação sendo este assunto abordado mais detalhadamente no capítulo 2.

O projeto de um regulador linear de tensão é orientado por algumas especificações, tais como a tensão de entrada, tensão de saída e a corrente na carga, e é desenvolvido em torno de uma ou várias características, seja em torno do PSRR, da tensão de *dropout* ou da corrente quiescente.

O projeto do regulador será realizado utilizando uma tecnologia CMOS de *High-Voltage* através do processo CMOS de 0.35 μ m de 50V da *Austria Micro Systems*, e terá as especificações iniciais apresentadas na Tabela 1.1 e o esquema correspondente representado pela Figura 1.4.

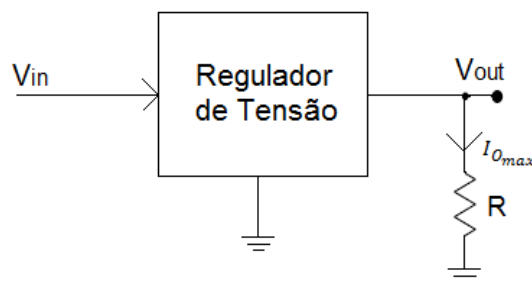


Figura 1.4 – Esquema simplificado dos parâmetros especificados para a realização do regulador.

Tabela 1.1 – Parâmetros especificados para a realização do regulador.

Parâmetros	Valores
V_{in}	12V
V_{out}	3,3V
$I_{O_{max}}$	100mA

O motivo de uma diferença significativa entre o valor da tensão de entrada e da tensão de saída, quando o que se pretende é o menor desperdício possível, tem a ver com a aplicação a ser utilizado que será discutido na secção seguinte. O dimensionamento do regulador linear de tensão é feito considerando os seus blocos individualmente e, posteriormente, no seu todo. O objetivo é conceber um regulador com baixa tensão de *dropout* e reduzida corrente quiescente (com valores consonantes com o estado da arte) pois essas são as características exigidas nos dispositivos eletrónicos portáteis dos nossos dias.

1.2 Estado da Arte

Devidas às suas características, um regulador de tensão linear pode ser usado em vários equipamentos tais como computadores portáteis, telemóveis, leitor de músicas MP3, máquinas fotográficas e de filmar, e outros pequenos aparelhos portáteis eletrônicos [2] [4]. Em *High-Voltage*, é mais utilizado em aplicações industriais (automóvel e telecomunicações), equipamento médico e sistemas alimentados por baterias (alarmes, detetores de fumo, etc.). Entende-se por *High-Voltage* em CMOS, todas as tensões superiores aos processos de Low-Voltage, genericamente, tensões superiores ao valor nominal dos transístores usados nas células digitais.

Como cada regulador linear de tensão tem a sua própria arquitetura, diferentes métodos de compensação, diferentes processos e diferentes tensões de alimentação, torna-se difícil de dizer qual o melhor regulador ou justificar porque um regulador é melhor que outro. Desse modo, existem várias formas para comparar reguladores lineares de tensão, desde a tensão de *dropout* ou a sua corrente quiescente, a figuras de mérito específicas.

As figuras de mérito (FOM) são, assim, usadas para caracterizar o desempenho de um componente, sistema e/ou método. Para comparar um regulador linear de tensão, são usadas as seguintes figuras de mérito dadas pelas equações (1.1) e (1.2).

$$FOM_1 = T_R \frac{I_Q}{I_{MAX}} = \frac{C_{out} \times \Delta V_{out}}{I_{MAX}} \times \frac{I_Q}{I_{MAX}} \text{ [ns]} \quad (1.1)$$

$$FOM_2 = \frac{FOM_1}{T_G} = \frac{T_R}{T_G} \times \frac{I_Q}{I_{MAX}} = \frac{C_{out} \times \Delta V_{out}}{T_G \times I_{MAX}} \times \frac{I_Q}{I_{MAX}} \quad (1.2)$$

Onde T_R e ΔV_{OUT} , é o tempo de resposta e variação da tensão de saída quando é efetuada uma variação da carga, respectivamente. I_Q corresponde à corrente quiescente, I_{MAX} é a corrente máxima que atravessa a carga, C_{OUT} é o valor do condensador à saída do regulador, ΔV_{OUT} corresponde à variação da tensão de saída quando é efetuada uma variação da carga. T_G é o tempo de atraso do processo utilizado.

A primeira figura de mérito, FOM_1 , não tem em consideração o processo utilizado ao calcular o desempenho do regulador. A FOM_2 permite comparar o desempenho dos reguladores removendo os parâmetros que dependem do processo [5]. Contudo, uma comparação justa entre reguladores será sempre uma tarefa desafiante.

As figuras de mérito, FOM_1 e FOM_2 , não possuem nenhum valor mínimo sendo usadas para comparar reguladores lineares de tensão. Quanto menor a figura de mérito, melhor o rendimento do regulador [6] [7]. Na Tabela 1.2, serão apresentados diversos valores para as figuras de mérito resultantes de vários reguladores.

Parâmetros	[5]	[6]	[7]	[8]	[9]	[10]	[11]	[12]	[13]	[14]	[15]	[3]	[16]	[17]	[18]
Tecnologia (μm)	2	0,5	0,6	0,6	BiCMOS	0,35	0,09	0,25	0,35	0,35	0,35	0,35	0,5	0,35	0,35
Ano	1998	1998	2001	2003	2004	2004	2005	2006	2007	2007	2008	2009	2010	2011	2012
I_{MAX} (mA)	50	300	4000	100	150	150	100	50	50	200	400	50	100	100	50
V_{IN} (V)	1,76	5	2	1,5 - 4,5	1,7 - 5,5	3 - 7	1,2	2 - 2,5	3	2 - 5,5	3,6 - 4,7	1,2 - 1,5	1,4 - 4,2	1,2	0,9
V_{OUT} (V)	1,5	3,3	1,8	1,3	1,2 - 5	2,3 - 2,5	0,9	1,5 - 1,97	2,8	1,8	3,3	1	1,21	1	0,7
V_{DROP} (mV)	280		150	200	100	446	300	500	200	200	200	200	200	200	200
I_{Q} (mA)	0,23	0,75	0,2	0,038	0,55	0,09	6	0,1	0,065	0,34	-	0,045	0,045	0,027	0,005
C_{OUT} (nF)	4700	0,18	100000	10 (ext.)	0 - 10	-	0,6 (ext.)	50	0 - 0,1	1000	1000	0 - 1	100	-	-
ΔV_{OUT} (mV)	19	400	220	<150	<120	30	90	-	<90	54	-	70	120	-	-
FOM 1 (ns)	8,2	0,0006	0,28	4,9	0,029	-	0,032	-	0,459	0,027	-	0,036	0,059	-	-
FOM 2	16	0,0047	1,8	32	-	-	1,4	-	-	-	-	-	-	-	-
PSRR @1kHz (dB)	-	-	-	60	37 (10kHz)	-	N/A	43 (30kHz)	57	-	59 (2kHz)	-	-	-	-
Eficiência de Corrente (%)	99,54	99,75	99,99	99,96	99,63	99,94	94,34	99,80	99,87	99,83	-	99,91	99,95	99,97	99,99
Rendimento (%)	84,84	65,84	89,99	28,88 - 86,63	70,33 - 90,58	35,69 - 76,62	70,75	74,85 - 78,64	93,21	32,67 - 89,85	-	66,61 - 83,26	28,79 - 86,39	83,31	77,77

Tabela 1.2 – Evolução dos reguladores lineares de tensão ao longo dos anos.

Por exemplo, ao comparar dois reguladores em que um deles tem o dobro da corrente quiescente, o dobro da corrente na carga e o dobro do tamanho do condensador que o outro, ambos possuem a mesma figura de mérito (FOM_1). Do mesmo modo, ao reduzir 50% a corrente de quiescente e ao duplicar o tamanho do condensador num dos reguladores, em comparação com o outro regulador, não afeta a FOM_1 .

A Tabela 1.2 faz a comparação de importantes características de diferentes reguladores lineares de tensão, tendo em consideração a evolução ao longo dos anos. Como referido anteriormente, pode-se observar a diminuição da tensão na entrada assim como a tensão de saída. A tensão de *dropout* tem-se mantido ao longo dos anos, o que não acontece com a corrente quiescente, por exemplo. O que indica a necessidade, dos nossos dias, em reduzir o consumo de corrente para atingir maior rendimento, e maior autonomia.

De referir que, os últimos dois reguladores lineares de tensão desta tabela, [17] [18], não possuem um condensador de compensação à saída do regulador. Devido a essa ausência, não é possível calcular a respetiva figura de mérito de modo a comparar o desempenho entre reguladores. De notar, que nestes reguladores (os mais recentes) é dada uma maior preponderância à eficiência de corrente do que ao rendimento. Conforme será explicado posteriormente, deve-se à diminuição da corrente de carga, I_O , em que a eficiência de corrente exerce uma maior influencia sobre o circuito do que o rendimento. No ultimo regulador, [18], reduziu-se a corrente quiescente a 5 μ A conseguindo uma eficiência de corrente de 99,99%. Desta maneira é demonstrada a importância que é dada à eficiência de corrente hoje em dia, resultando numa maior durabilidade das baterias que alimentam os circuitos.

Pode-se verificar que as tensões, V_{IN} e V_{OUT} , presentes na Tabela 1.1 são de valores bastante diferentes ao apresentados na Tabela 1.2. Esse facto deve-se aos raros trabalhos realizados em *High-Voltage* até agora e mostra, mais uma vez, a predominância dos reguladores lineares de tensão para *Low-Voltage*.

A Tabela 1.2 servirá de referência para a realização desta dissertação mas também será usada nas conclusões de modo a verificar se os parâmetros obtidos estão de acordo com o estado da arte.

1.3 Organização da Dissertação

A dissertação é constituída por 5 capítulos que refletem a sequência necessária usada para a realização do projeto de um regulador linear de tensão.

- **Capítulo 1: Introdução**

Neste capítulo é feita uma introdução, onde se descreve a importância, as suas características e o estado da arte dos reguladores de tensão.

- **Capítulo 2: Reguladores de tensão lineares**

Neste capítulo é apresentado a estrutura de um regulador de tensão, fazendo referência aos seus blocos explicando o seu funcionamento a nível individual e no seu todo. É feita alusão as características e os métodos existentes para tornar estável um regulador de tensão.

- **Capítulo 3: Metodologia de Projeto do Regulador**

Neste capítulo é descrito a metodologia usada para dimensionar individualmente os blocos que constituem um regulador, assim como um todo. Esse dimensionamento será efetuado segundo os requisitos pretendidos no início do projeto de modo atingir as especificações.

- **Capítulo 4: Simulação da Topologia Proposta**

Neste capítulo são apresentados os vários resultados obtidos através de simulações efetuados ao circuito proposto.

- **Capítulo 5: Conclusões**

Neste capítulo será comparado o regulador com outros já implementados. É também proposto futuros trabalhos a realizar.

2

Reguladores lineares de tensão

Um regulador linear de tensão tem como objetivo fornecer uma tensão de saída estável e constante independentemente de variações na tensão de entrada, na temperatura e na carga. Na Figura 2.1, encontram-se representadas as duas principais topologias de um regulador linear de tensão: o regulador linear de tensão convencional e o regulador de tensão LDO [19].

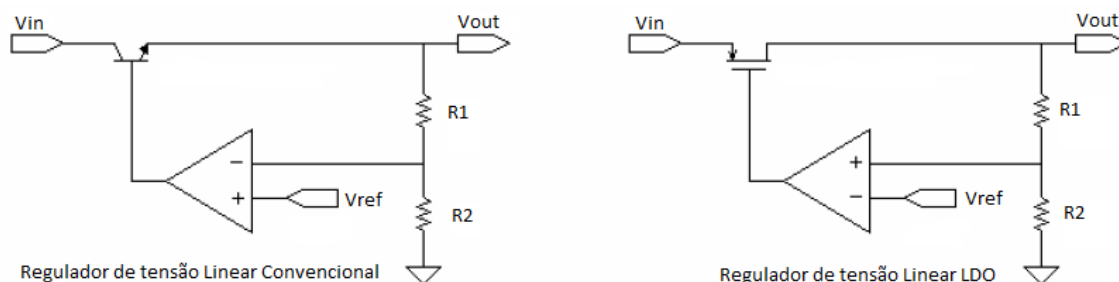


Figura 2.1 – As duas principais topologias de um regulador linear de tensão.

A principal diferença entre as duas topologias está relacionada com o transistor de potência. O regulador linear de tensão convencional utiliza uma configuração *Darlington* ou um transistor bipolar de junção (TJB) NPN configurado em coletor-comum. Esta topologia foi bastante usada devido à sua estabilidade tornando desnecessário o uso de um condensador externo. No entanto, com a exponencial utilização de dispositivos eletrônicos portáteis, tornou-se necessário prolongar o tempo de vida das baterias, através do aumento do seu rendimento. O regulador LDO utiliza um transistor PMOS ou um TJB PNP configurado em *source*-comum operando na saturação, o que permite baixar a tensão de *dropout*. Entende-se por tensão de *dropout*, a diferença mínima entre a tensão de saída e a tensão de entrada onde o regulador deixa de regular a tensão de saída. Como referido anteriormente, a tensão de *dropout* de um regulador linear de tensão pode ser baixa ou alta (LDO ou HDO, respectivamente). A escolha depende das especificações requeridas, como sejam o rendimento, a baixa tensão de *dropout* ou um elevado PSRR. Esta última característica assume particular importância, uma vez que os reguladores lineares de tensão usados num SoC afetam significativamente o rendimento global do sistema.

Ao projetar um regulador linear de tensão haverá sempre fatores de compromisso a ser considerados, tais como: estabilidade, rendimento, eficiência de corrente e a resposta em regime transitório [19]. Uma maior precisão da tensão de saída e uma melhor resposta em regime transitório afeta a estabilidade do LDO [20] [21] [22]. Existe, também, um fator de compromisso entre a estabilidade de um regulador e a tensão de dropout [23]. Outro fator de compromisso é a estabilidade com as tensões de *overshoot* [24]. Aumentar a corrente quiescente melhora o *slew rate*, permite maior largura de banda e um tempo de estabelecimento mais rápido a variações de correntes na carga, contudo, diminui a eficiência do LDO [5]. Por sua vez, diminuir a corrente quiescente melhora o rendimento mas é necessário um maior condensador à saída o que faz aumentar o tempo de estabelecimento [12]. Existe um fator de compromisso entre a velocidade de um regulador e o rendimento, em

que um dos métodos, para obter um maior rendimento é através do aumento do tamanho do transistor de potência que torna mais lento o sistema. A dificuldade em otimizar todos estes fatores de compromisso torna-se evidente à medida que se projeta o regulador. Em suma, o regulador tem que ser estável, reduzindo ao máximo o consumo de energia tendo, ao mesmo tempo, uma baixa tensão de *dropout*.

Um regulador linear de tensão possui três regiões de operação: a região de corte (em que o transistor está off), a região de *dropout* e a região de regulação (ou linear) representado pela Figura 2.2 [25].

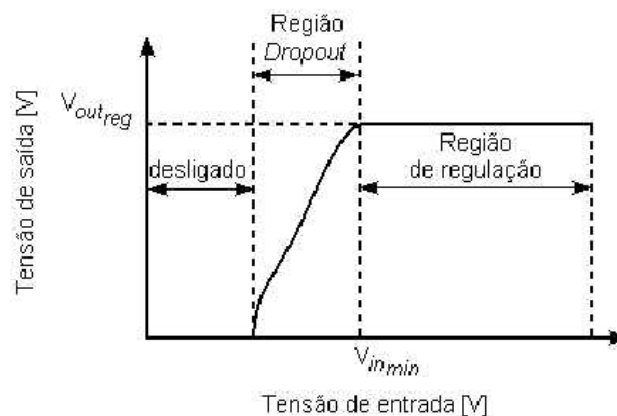


Figura 2.2 – Curva característica das regiões de funcionamento de um regulador [25].

O regulador linear de tensão apenas cumpre o seu propósito quando se encontra na região de regulação, isto é, quando $V_{IN} \geq V_{OUT} + V_{DROP}$. Quando a tensão é inferior a $V_{OUT} + V_{DROP}$, encontra-se na região de *dropout*, podendo o regulador não fornecer a corrente máxima definida.

No que concerne à sua composição, o regulador linear de tensão é, basicamente, constituído por um amplificador de erro, uma tensão de referência, um transistor de potência e uma malha de realimentação resistiva representada pela Figura 2.3.

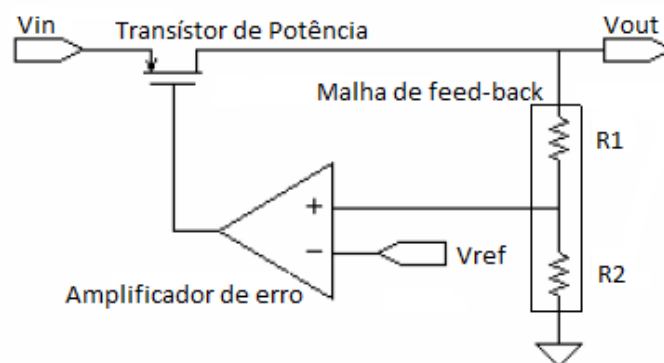


Figura 2.3 – Constituição simplificada de um regulador linear de tensão.

A malha de realimentação (interno ao regulador) é, geralmente, um divisor resistivo, constituído pelas resistências R1 e R2. A tensão de entrada no amplificador de erro iguala a

tensão de referência no momento em que a tensão de saída atinge o valor para o qual foi concebido. O amplificador de erro tem como função comparar e amplificar o valor da tensão entre a tensão de referência e a tensão proveniente da malha de realimentação. A tensão na saída do amplificador de erro varia em função da variabilidade da tensão na entrada e controla a corrente de saída do transistor de potência. Dessa forma, o transistor de potência pode ser considerado como uma fonte de corrente controlada por tensão. A resistência da carga é dada pela relação entre a tensão e a corrente de saída, $V_{OUT} = I_{OUT} \times R_L$. O condensador externo é colocado à saída do regulador para obter estabilidade (caso necessário).

De forma ideal, para o caso em que $R1$ e $R2$ sejam iguais, a tensão de saída é dada pela equação (2.1).

$$V_{out} = V_{ref} \frac{R1 + R2}{R2} = 2 \times V_{ref} \quad (2.1)$$

2.1 Caracterização de um regulador linear de tensão

Em [19], os aspetos mais importantes de um regulador podem resumir-se em quatro categorias: regime estático, regime dinâmico, especificações de alta frequência e rendimento.

Idealmente, o regulador de tensão LDO possui uma tensão de saída constante, independente de variações na carga ou na tensão de entrada. Da panóplia de características inerentes a um LDO podem enumerar-se, em forma de exemplo, a regulação da linha e da carga, a corrente quiescente, a tensão de *dropout*, o rendimento, a resposta em frequência e o PSRR.

2.1.1 Regime estático

As características consideradas nesta secção, incluem a regulação da linha, a regulação da carga e o efeito da temperatura. O efeito da temperatura é analisado pois influencia o normal funcionamento dos blocos constituintes de um regulador. A regulação da linha e da carga define a variação que sofre a tensão de saída do regulador perante variações da tensão de entrada e da carga, respectivamente.

A regulação da linha é caracterizada pela variação da tensão de saída, ΔV_{out} , em função da variação da tensão de entrada, ΔV_{in} . Trata-se de representar a sensibilidade que a tensão de saída possui às variações na tensão de entrada. De modo ideal, a variação da tensão de saída dever-se-ia manter inalterada perante as variações da tensão de entrada. A regulação da linha, L_R , é dada pela equação (2.2).

$$L_R = \frac{\Delta V_{out}}{\Delta V_{in}} \approx \frac{g_{mp} r_{op}}{A\beta} + \frac{1}{\beta} \left(\frac{\Delta V_{ref}}{\Delta V_{in}} \right) \quad (2.2)$$

O A representa o ganho do amplificador de erro, g_{mp} e r_{op} a transcondutância e a resistência de saída do transistor de potência, ΔV_{ref} a variação da tensão de referência e β representa o divisor resistivo, $\beta = \frac{R1}{R1+R2}$. A Figura 2.4 representa os parâmetros do regulador e a Figura 2.5 ilustra a representação gráfica da definição de regulação da linha.

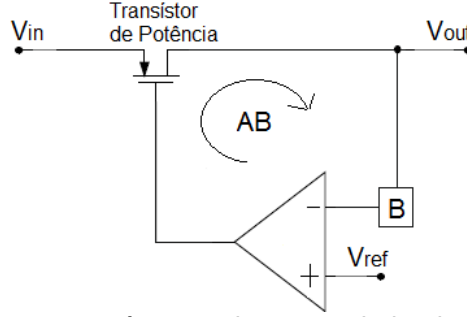


Figura 2.4 – Parâmetros de um regulador de tensão.

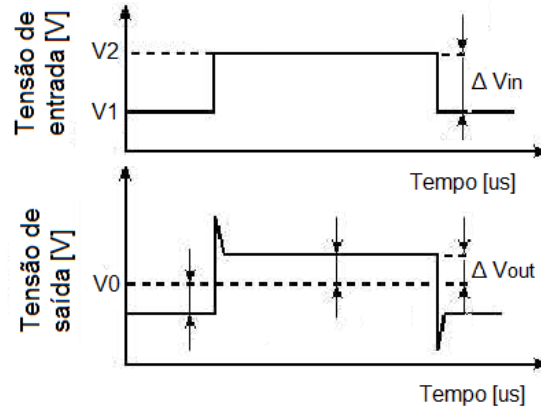


Figura 2.5 – Representação gráfica da definição de regulação da linha [25].

Um menor desvio na tensão de saída provocado pela variação da tensão de entrada caracteriza um melhor LDO. Pela equação (2.2), é possível observar que uma das formas de alcançar esse objetivo é aumentando o ganho do amplificador [26]. Contudo, como será discutido posteriormente, um aumento excessivo acarreta problemas relacionados com a estabilidade.

No que à regulação da carga diz respeito, esta traduz-se na variação da tensão na saída, ΔV_{OUT} , em função da variação da carga, ΔI_{load} . Quando o amplificador de erro detecta uma variação da tensão proveniente da malha de realimentação, compensa essa variação de modo a manter a mesma tensão de saída. A regulação da carga, LR_{load} , é dada pela expressão (2.3) e a sua representação gráfica é ilustrada na Figura 2.6.

$$LR_{load} = \frac{\Delta V_{out}}{\Delta I_{load}} = \frac{r_{op}}{1 + A\beta} \quad (2.3)$$

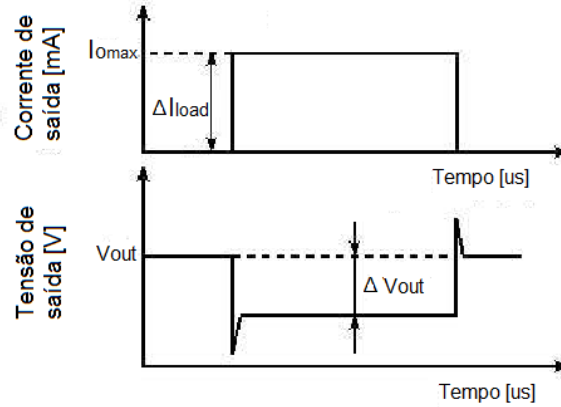


Figura 2.6 – Representação gráfica da definição da regulação da carga.

O aumento da regulação da linha passa por aumentar o ganho do amplificador, contudo, como referido na regulação da linha, a estabilidade vê-se afetada. Outro método seria diminuir a resistência de saída do regulador, excetuando a resistência de carga [19]. Os reguladores lineares de tensão convencionais possuem, na maioria, condensadores de saída maiores o que lhes permite ter uma melhor regulação da carga em relação aos reguladores lineares de tensão LDO [19]. Ao projetar o regulador, um dos objetivos é diminuir as tensões de *undershoot* e de *overshoot* com o menor tempo de estabelecimento possível.

A variação de temperatura depende da tensão de saída, que por sua vez, é proporcional à variação de temperatura na tensão de referência e do desvio da tensão do amplificador de erro. A influência da temperatura no LDO é dada pela equação (2.4).

$$TC = \frac{1}{V_{out}} \frac{\partial V_{out}}{\partial Temp} \approx \frac{1}{V_{out}} \frac{\Delta V_{TC}}{\Delta Temp} = \frac{[\Delta V_{TC_{ref}} + \Delta V_{TC_{Vos}}] \frac{V_{out}}{V_{ref}}}{V_{out} \Delta Temp} \quad (2.4)$$

Onde ΔV_{TC} representa a variação da tensão de saída em relação à variação de temperatura, $\Delta Temp$. $\Delta V_{TC_{ref}}$ e $\Delta V_{TC_{Vos}}$ a variação na tensão de saída provocadas pela tensão de referência e pela tensão de offset do amplificador de erro, respectivamente.

A variação da tensão de saída é melhorada à medida que o *offset* do amplificador de erro é reduzido ao mínimo e com a diminuição da dependência da tensão de referência em relação a temperatura [19].

2.1.2 Regime dinâmico

O regime dinâmico determina a capacidade de regulação do regulador quando a corrente da carga é alterada instantaneamente ou quando ocorrem variações na tensão de entrada. O LDO deve responder rapidamente na tentativa de reduzir a variação da tensão na

saída, que é influenciada pela carga e descarga das capacidades parasitas [19]. O pior caso é quando a corrente de saída muda instantaneamente do zero para o seu valor máximo especificado [5]. A capacidade de um LDO em regular a tensão de saída depende da largura de banda em malha aberta, da corrente máxima e do condensador de saída [5]. A variação da tensão de saída é dada pela equação (2.5) e ilustrada na Figura 2.7.

$$\Delta V_{out} \approx \frac{I_{load_{max}}}{C_{out}} \Delta t \quad (2.5)$$

$I_{load_{max}}$ corresponde a corrente máxima de saída, o Δt é a reposta temporal do LDO e o C_{out} corresponde ao condensador de saída. Δt é inversamente proporcional à largura de banda do regulador em malha fechada [5] [27]. Um aumento do tamanho do condensador e da largura de banda em malha fechada permite a redução de desvios na tensão de saída [19].

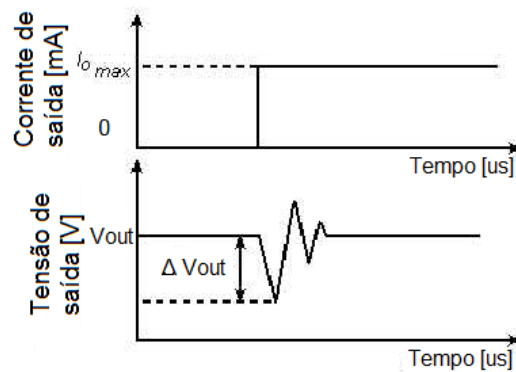


Figura 2.7 – Representação gráfica que ilustra a variação da tensão de saída em regime dinâmico.

Ao efetuar uma brusca variação de carga ou de tensão de entrada existem picos de tensão quando o LDO regula a tensão de saída. Estes picos de tensão podem ser positivos ou negativos denominando-se por *overshoot* e *undershoot*, respectivamente. A Figura 2.8 ilustra as tensões de *overshoot* e *undershoot*.

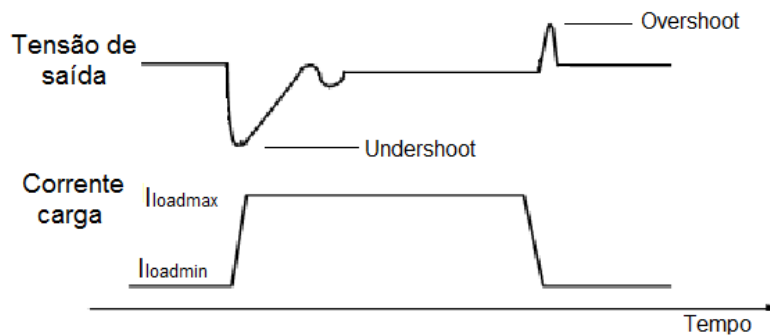


Figura 2.8 – Ilustração de overshoot e de undershoot.

2.1.3 Especificações de alta frequência

O fator de rejeição do ruído da fonte de alimentação, PSRR, e o ruído de saída são especificações na característica de alta-frequência. O regulador é caracterizado pelo PSRR, definido em função das capacidades parasitas do transistor de potência e proporcional ao ganho do circuito. Isto é, define a sua capacidade de rejeitar ruído presente na tensão de entrada. O PSRR é dado pela equação (2.6) e representado pela Figura 2.9.

$$PSRR = \frac{\Delta V_{supply}}{\Delta V_{out}} \frac{V_{out}}{V_{ref}} = \frac{\Delta V_{in}}{\Delta V_{out}} A_v(s) \quad (2.6)$$

ΔV_{supply} é equivalente a ΔV_{in} , para reguladores lineares de tensão e $A_v(s)$ é o ganho em malha aberta [27]. À medida que se aumenta a frequência, a partir de 1kHz, o PSRR começa a diminuir, sendo mais sensível a altas frequências [26]. O aumento do ganho do amplificador de erro comporta melhorias ao nível do PSRR [28].

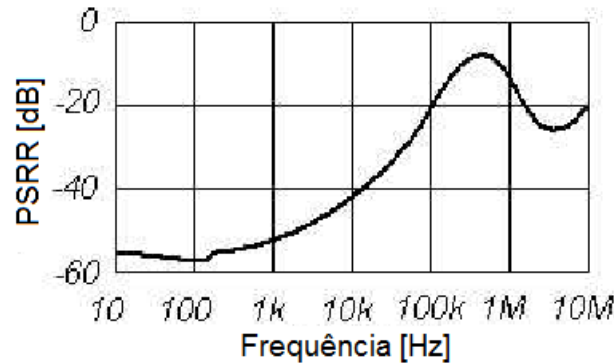


Figura 2.9 - Representação gráfica do PSRR.

A tensão de ruído na saída é o valor eficaz, *root mean square* (RMS), do ruído à saída quando aplicada uma tensão de entrada constante e sem ruído. O ruído é habitualmente medido entre a faixa dos 10Hz e dos 100kHz [29]. Tipicamente, este valor encontra-se entre 50μV e 500μV, ilustrado pela Figura 2.10 [30]. O primeiro estágio de transcondutância é o principal responsável pelo ruído no sinal de saída, tendo o ruído acrescentado pelos restantes componentes do circuito pouca influência [19].

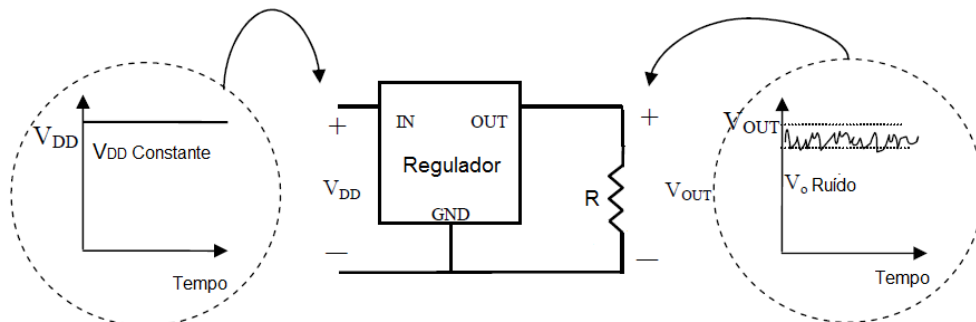


Figura 2.10 – Ilustração da tensão de ruído na saída de um LDO [30].

2.1.4 Rendimento

O efeito da regulação da linha, da regulação da carga, da dependência com a temperatura e a variação da tensão de saída em regime transiente podem ser especificados numa única característica, precisão [27]. A precisão é descrita pelo valor absoluto mínimo e máximo da tensão de saída ($V_{out_{min}}$ e $V_{out_{max}}$) dadas pelas equações (2.7), (2.8) e (2.9).

$$V_{out_{min}} \leq \Delta V_{LDR} + \Delta V_{LNR} + \Delta V_{TC} + \Delta V_{tr} + V_{reference} \left(\frac{V_{out}}{V_{ref}} \right) \leq V_{out_{max}} \quad (2.7)$$

$$V_{reference} = V_{ref} + \Delta V_{TC_{ref}} + \Delta V_{LNR_{ref}} \pm V_{os} \quad (2.8)$$

$$Precisão_{sistema} = \frac{V_{out_{max}} - V_{out_{min}}}{V_{out}} \quad (2.9)$$

Onde ΔV_{LDR} , ΔV_{LNR} , ΔV_{TC} e ΔV_{tr} são os valores absolutos da variação de tensão resultantes da regulação da carga, da regulação da linha, da dependência da temperatura e da resposta transiente, respectivamente. $\Delta V_{LNR_{ref}}$ é o valor da variação da tensão de referência resultante da regulação ad linha e $\Delta V_{TC_{ref}}$ resultante da dependência com a temperatura.

A alimentação num LDO é normalmente fornecida por uma bateria, o que confere importância ao rendimento, uma vez que influencia o seu tempo de vida útil. O rendimento é determinado por três parâmetros: a corrente quiescente, a tensão de dropout e a corrente de carga.

A corrente quiescente é a diferença entre a corrente de entrada, I_{dd} , e a corrente de saída, I_{out} . A corrente quiescente, I_q , é dada pela equação (2.10) e representada na Figura 2.11.

$$I_q = I_{dd} - I_{out} \quad (2.10)$$

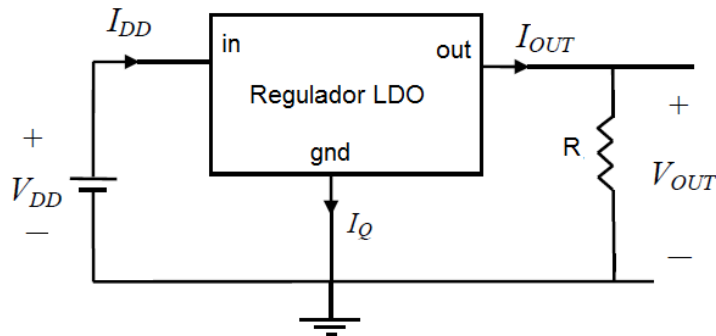


Figura 2.11 – Ilustração da corrente quiescente de um regulador LDO [30].

A durabilidade da bateria aumenta com a redução da corrente quiescente. Portanto, a corrente quiescente deve ser tão diminuta quanto possível. A corrente quiescente é

dependente do tipo dos transístores de potência utilizado (TJB ou MOSFET) [31]. Quando é utilizado um transístor MOS como transístor de potência, a corrente quiescente é pouco sensível à variação da corrente de carga. Porém, quando o transístor de potência é um transístor bipolar, a corrente quiescente deste aumenta proporcionalmente com o aumento da corrente de carga. Esse efeito é ilustrado na Figura 2.12.

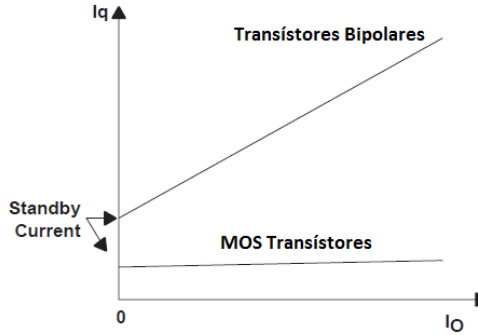


Figura 2.12 – Variação da corrente quiescente em relação a diferentes transístores de potência [31].

Outro parâmetro que influencia o rendimento de um regulador é a eficiência de corrente. Quando a corrente de carga é baixa, maior é a influência que a corrente quiescente exerce na eficiência de corrente, $Ef_{corrente}$, como é observado pela equação (2.11).

$$Ef_{corrente} = \frac{I_{load}}{I_q + I_{load}} \quad (2.11)$$

À medida que a corrente de carga aumenta, o rendimento do regulador torna-se mais preponderante em relação à eficiência de corrente. O rendimento é definido pela relação entre a potência de saída, P_{out} , e a potência de entrada, P_{in} .

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{out} I_{load}}{V_{in} (I_q + I_{load})} \leq \frac{V_{out}}{V_{in}} \quad (2.12)$$

Sempre com $V_{out} < V_{in}$. O rendimento do regulador aproxima-se de 100% à medida que a tensão de saída se aproxima da tensão de entrada. Contudo, para esse efeito, é necessário usar um grande transístor de potência, ainda que ao aumentar o rendimento, a velocidade do regulador LDO diminui [19].

Outra característica que deve ser considerada para obter um elevado rendimento num LDO é a tensão de *dropout*, que se define pela diferença mínima entre a tensão de saída e a tensão de entrada deixando o regulador de regular a tensão de saída. Ao projetar um regulador, este deve garantir uma determinada corrente de carga a partir de uma tensão de entrada mínima, de modo a que o transístor de potência MOS funcione na saturação. A tensão de *dropout*, V_{drop} , é dada pela equação (2.12).

$$V_{dropout} = V_{in_{min}} - V_{out_{reg}} = I_{load} R_{o-pass} \quad (2.12)$$

Onde $V_{in_{min}}$ é a tensão mínima necessária para o regulador regular a tensão de saída e $V_{out_{reg}}$ corresponde à tensão de saída para o qual o LDO foi projetado. $V_{in_{min}}$ e $V_{out_{reg}}$ encontram-se representados na Figura 2.2. R_{o-pass} é a resistência do transistor de potência.

O transistor de potência é dimensionado de modo a obter a tensão de dropout pretendida à corrente máxima de carga, $I_{load_{max}}$.

O valor de V_{drop} pode ir de 0,1V até 1,5V [27] quando o transistor de potência sai da região de saturação e entra na região de tródo dependendo da topologia usada no transistor de potencia. Como referido anteriormente, o valor típico da tensão de *dropout* situa-se entre 200 e 300mV [2]. O valor da tensão de *dropout* deve ser tão baixo quanto possível para obter um melhor rendimento.

2.2 Transistor de Potência

O transistor de potência deve ser escolhido logo no início do projeto de um regulador linear de tensão [5]. A escolha do transistor de potência depende, essencialmente, das especificações do LDO, do processo e da aplicação a ser utilizada. A corrente de saída, a tensão de entrada e de *dropout* altera as características do transistor de potência que, consequentemente, afetará a performance do LDO. Em forma de exemplo, se se aumentar a corrente de saída, aumenta o tamanho do transistor que, por sua vez, resulta no aumento das capacidades parasitas afetando a estabilidade do sistema.

Existem cinco configurações possíveis para o transistor de potência, podendo ser utilizados TJB ou MOSFET, representadas na Figura 2.13 [4].

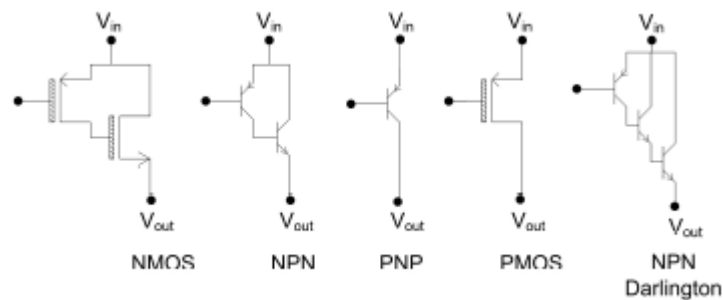


Figura 2.13 – Configurações possíveis a implementar no transistor de potência [4].

Cada topologia tem as suas próprias características, tendo vantagens e desvantagens na sua utilização [32]. Pela tabela 2.1, o transistor de potência usado afetará duas características do regulador, sendo elas, a tensão de *dropout* e a corrente de quiescente. Pela equação (2.12), estas características influenciam o rendimento do regulador.

Relacionando as diferentes configurações da Figura 2.1 [31], os TJB's fornecem uma grande corrente à saída, porém tem uma maior corrente quiescente o que diminui o seu rendimento. O PMOS e PNP são os que conseguem melhores rendimentos, por terem uma menor tensão de *dropout* situando-se entre 100 e 400mV, aproximadamente [33]. Enquanto os NPN, NMOS e o Darlington se situam entre 0,8 e 1,2V [33]. O PMOS e o NMOS são utilizados quando é privilegiada a eficiência de corrente, de modo a aumentar o tempo de vida das baterias, porque possuem baixa corrente quiescente. Quando é dada primazia à velocidade, os transistores usados são o NPN e o Darlington. Na Tabela 2.1, encontra-se as diferenças entre os diferentes transistores de potência.

Tabela 2.1 – Comparação entre as configurações do transistor de potência [31].

	Configuração				
Parâmetros	Darlington	NPN	PNP	NMOS	PMOS
$I_{O,MAX}$	Alto	Alto	Alto	Médio	Médio
I_Q	Médio	Médio	Grande	Baixo	Baixo
$V_{DROPOUT}$	$V_{sat}+2V_{BE}$	$V_{sat}+V_{BE}$	$V_{CE(sat)}$	$V_{sat}+V_{gs}$	$V_{SD(sat)}$
Velocidade	Rápido	Rápido	Lento	Médio	Médio

Um método para a diminuição da tensão de dropout é através de *charge pumps* [6] [27]. Os *Charge pumps*, quando utilizados como deslocadores de nível, são circuitos que têm como principal característica subir ou descer a tensão de saída de um circuito a partir de uma tensão de entrada. Num regulador linear de tensão, o *charge pump* potencia a subida da tensão na gate do NMOS, fazendo com que esta seja superior à tensão de entrada permitindo uma redução da tensão de *dropout* [7]. A Figura 2.14 representa um regulador linear de tensão numa configuração NMOS, com e sem o *charge pump*. Contudo, esta solução é complexa e possui um custo elevado [27].

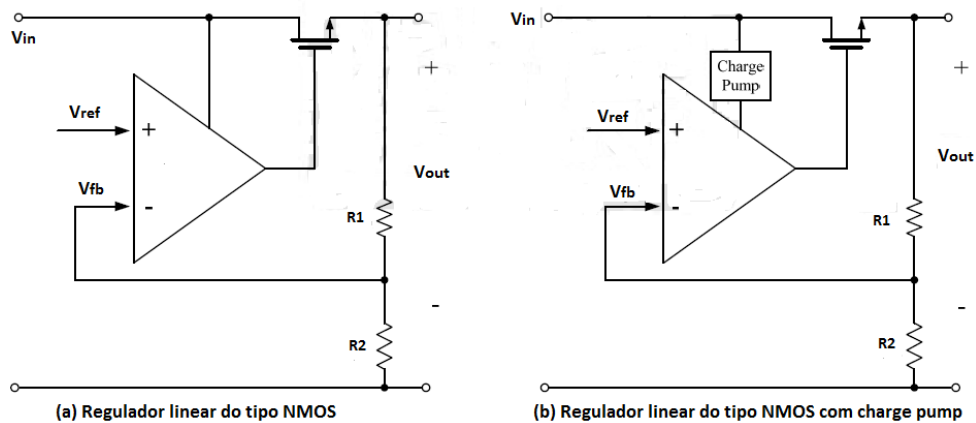


Figura 2.14 – Constituição de um regulador de tensão NMOS, com e sem *charge pump* [7].

Ainda que seja o PMOS o mais utilizado, particularmente por apresentar uma baixa tensão de dropout e uma baixa corrente quiescente, comporta desvantagens ao nível da estabilidade do sistema. Este tema será abordado mais detalhadamente na última secção deste capítulo.

2.3 Amplificador de erro

O amplificador de erro é um componente essencial ao projetar um LDO. O seu projeto deve ser mantido simples, no sentido de atingir um melhor rendimento através de uma baixa corrente quiescente. Os fatores que limitam essa corrente são a largura de banda e o slew-rate, existindo um fator de compromisso, como anteriormente referido, entre o desempenho e a eficiência de corrente do regulador.

Existem várias características a serem consideradas num amplificador de erro, como sejam: o elevado ganho DC, de forma a reduzir o efeito da regulação de carga; baixa impedância de saída, aspeto relevante para a manutenção da estabilidade do sistema; largura de banda, a margem de fase e PSRR [34]. O amplificador de erro é o que apresenta maior poder de influência sobre o PSRR de forma que a sua escolha não o deve prejudicar [35].

A escolha de um amplificador de erro deve ter em consideração as características do transistor de potência e as especificações do projeto.

2.4 Tensão de referência

A tensão de referência não deve ser influenciável pelas variações, tanto de temperatura (saída é dependente da temperatura, pela expressão (2.4)), como da tensão de entrada. Isto,

porque influenciaria a tensão de saída do regulador podendo não cumprir os objetivos requeridos. Ao escolher uma topologia para a tensão de referência, deve considerar-se a influência que exerce sobre o PSRR. De forma a aumentar o PSRR deve introduzir-se um condensador (na ordem dos fF) na sua saída.

2.5 Estabilidade

Como referido anteriormente, um regulador linear de tensão deve regular a tensão de saída, independentemente de variações, tanto da tensão de entrada como na carga. Apesar destas variações, o regulador tem que continuar estável de modo a cumprir o objetivo para o qual foi projetado. A análise da estabilidade de um regulador de tensão é efetuada com todos os elementos que constituem o sistema, nomeadamente, o transístor de potência, o amplificador de erro, a malha de realimentação e o condensador de saída (se utilizado) [27].

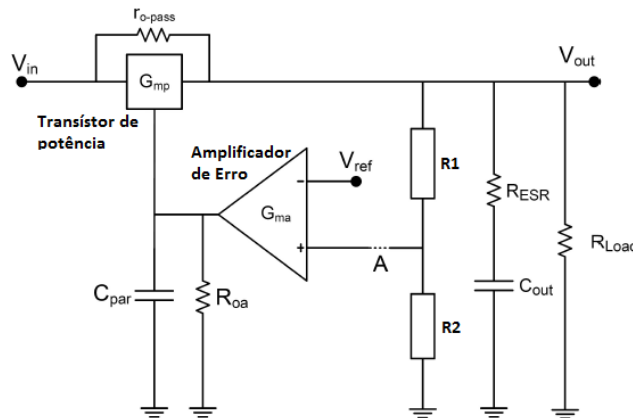


Figura 2.15 – Topologia típica de um regulador [33].

Com base na topologia do regulador, representado pela Figura 2.15, são identificados dois polos e um zero. Para realizar uma análise AC, é interrompida a malha no ponto A, sendo representada na Figura 2.16 o modelo para sinais fracos da topologia acima referida.

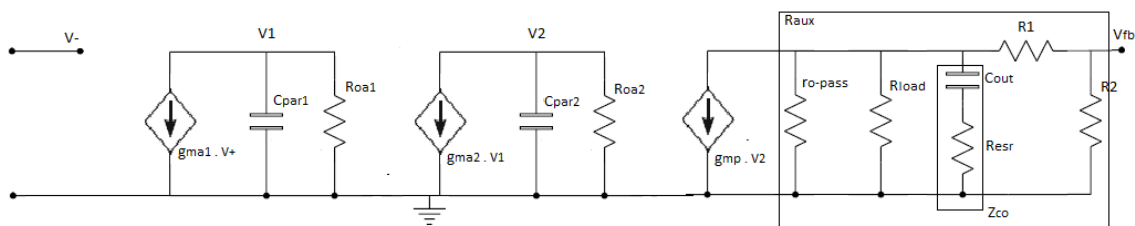


Figura 2.16 – Modelo para sinais fracos do regulador [33].

Nesta figura, a tensão de entrada é a tensão de referência no terminal positivo do amplificador de erro (V^+) e a tensão de saída é a tensão gerada pela malha de realimentação (V_{fb}). A função transferência, em malha aberta, é dada pela expressão (2.14) [27].

$$|A_v| = \frac{V_{fb}}{V^-} = G_{ma1} G_{ma2} \frac{R_{oa1}}{1 + sC_{par1} R_{oa1}} \frac{R_{oa2}}{1 + sC_{par2} R_{oa2}} G_{mp} Z_o \frac{R_1}{R_1 + R_2} \quad (2.14)$$

Onde G_{ma1} é a transcondutância do amplificador de erro, G_{ma2} a transcondutância do transistor de potência, R_{oa1} e R_{oa2} a resistência de saída do primeiro e do segundo estágio, respectivamente. Os condensadores C_{par1} e C_{par2} representam, respectivamente, as capacidades parasitas introduzidas pelo segundo estágio e pelo transistor de potência. Z_o é a impedância de saída dada pela equação (2.17).

$$Z_{co} = \frac{1 + sC_o R_{esr}}{sC_o} \quad (2.15)$$

$$R_{aux} = R_{o-pass} \parallel (R_1 + R_2) \parallel R_{load} \quad (2.16)$$

$$Z_o = R_{aux} \parallel Z_{co} \quad (2.17)$$

É possível reescrever a equação (2.14), utilizando as expressões (2.15), (2.16) e (2.17).

$$|A_v| = G_{ma1} G_{ma2} \frac{R_{oa}}{1 + sC_{par1} R_{oa1}} \frac{R_{oa}}{1 + sC_{par2} R_{oa2}} G_{mp} \frac{R_{aux} (1 + sC_o R_{esr})}{1 + sC_o (R_{aux} + R_{esr})} \frac{R_2}{(R_1 + R_2)} \quad (2.18)$$

Para condições de carga máxima, a resistência de saída do sistema, R_{aux} , pode ser simplificado pela resistência de saída do transistor de potência, R_{o-pass} , uma vez que $(R_1 + R_2)$ e R_{load} são superiores a R_{o-pass} [27].

Partindo desta simplificação, a localização dos polos e do zero pode ser aproximado pelas seguintes expressões (2.10), (2.11), (2.12) e (2.13), considerando-se três polos e um zero, sendo a sua localização típica representada na Figura 2.17.

$$f_{P1} = \frac{1}{2\pi C_o (R_{aux} + R_{esr})} \approx \frac{1}{2\pi C_o (R_{o-pass} + R_{esr})} \quad (2.10)$$

$$f_{P2} = \frac{1}{2\pi C_{par1} R_{oa1}} \quad (2.11)$$

$$f_{P3} = \frac{1}{2\pi C_{par2} R_{oa2}} \quad (2.12)$$

$$f_{Z1} = \frac{1}{2\pi C_o R_{esr}} \quad (2.13)$$

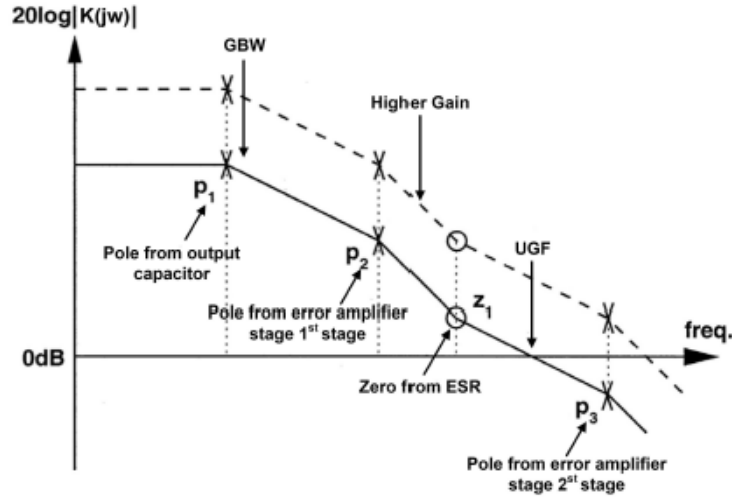


Figura 2.17 – Resposta em frequência típica de um regulador, localização dos polos e zeros [3].

Representado pela Figura 2.18, cada polo e cada zero contribui com $\pm 90^\circ$ de deslocação de fase e $\pm 20\text{dB/década}$ no ganho [36].

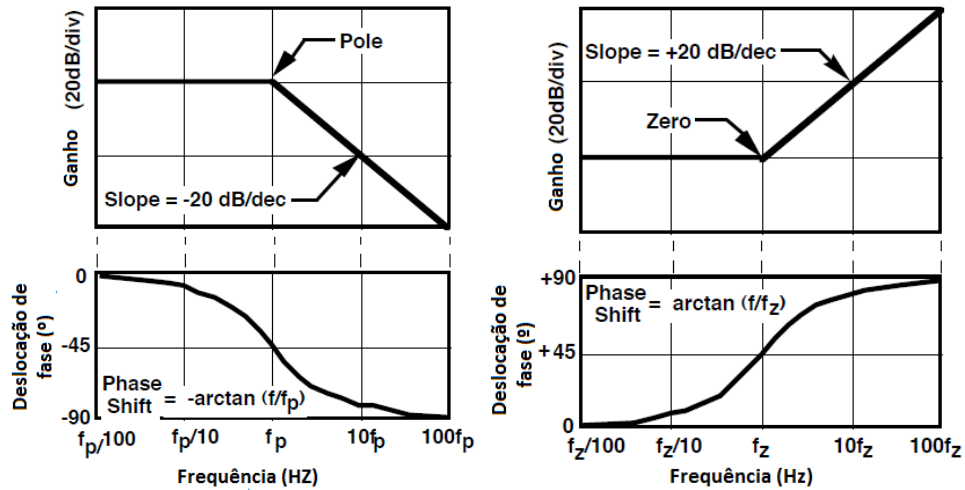


Figura 2.18 – Representação gráfica da contribuição de cada polo e cada zero [36].

Devido às capacidades parasitas do estágio de entrada, existem contribuições de outros polos, todavia, não são considerados por estarem localizados em altas frequências, ultrapassando a frequência de ganho unitário (UGF). Como se pode observar pelas equação (2.10) e (2.13), o pólo e o zero dependem do condensador de saída.

Como referido anteriormente, o ganho DC em malha aberta está relacionado com a precisão do regulador (equação (2.9)) e é dado pela expressão (2.18). O ganho DC em malha aberta é proporcional à resistência de saída dependendo do fator $G_{mp} R_{oa2}$, que diminui em função da raiz quadrada da corrente do transistor de potência $\left[\propto \frac{1}{\sqrt{I_{load}}} \right]$ [5].

$$|K| = \frac{G_{ma1} G_{ma2} G_{mp} R_{oa1} R_{oa2} R_{aux} R_2}{(R_1 + R_2)} \quad (2.18)$$

Para o sistema ser estável, a margem de fase deve ser superior a 45° (ou a fase ser inferior a 135°) quando o ganho, em malha aberta, é de 0dB. Em consonância com a Figura 2.19, devido à localização dos dois polos a baixas frequências, que contribui para um deslocamento de fase de 180° , o regulador pode ser instável [21].

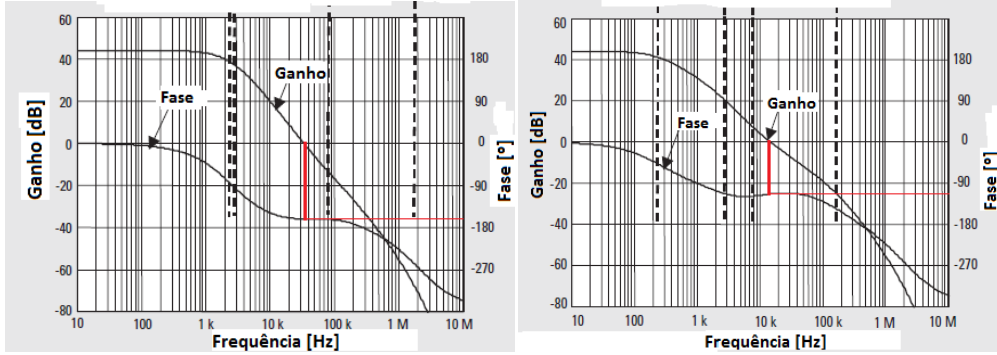


Figura 2.19 – Ilustração gráfica de um LDO instável e estável, respectivamente [21].

Contudo, para melhorar a margem de fase e, por consequência, a estabilidade do sistema deve ter-se em atenção que os polos parasitas devem estar localizados três vezes o valor de UGF e que o zero (f_{Z1}) deve estar localizado antes do UGF [21].

O problema de estabilidade deve-se aos dois polos a baixas frequências localizados um na gate do PMOS e o outro à saída do regulador. Este problema vê-se habitualmente resolvido através da implementação de um condensador externo representado pela Figura 2.20.

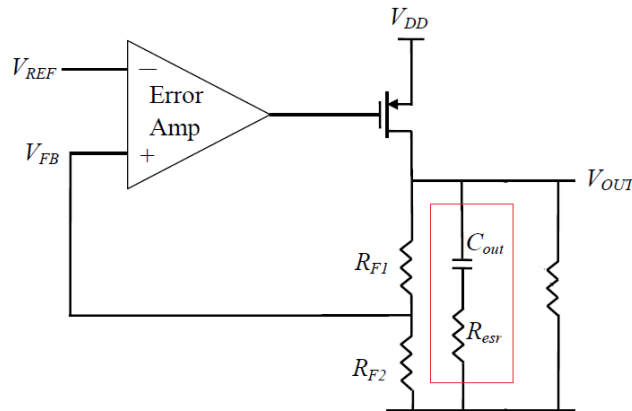


Figura 2.20 – Constituição de um regulador de tensão típico.

Ao acrescentar um condensador, cria-se um zero, em que este cancela a deslocação de fase de um dos dois polos, possibilitando o aumento da estabilidade. Em vez de os dois polos contribuírem com -180° de deslocação de fase e -40dB/década no ganho, com este zero ($+90^\circ$ de deslocação de fase e $+20\text{dB/década}$ no ganho), existindo apenas a contribuição de um polos, representada pela Figura 2.21.

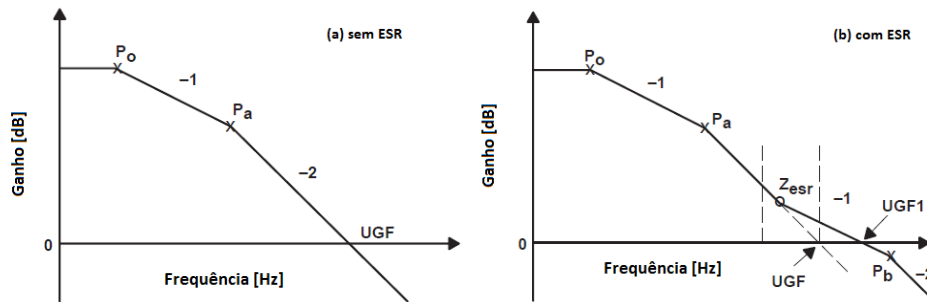


Figura 2.21 – Representação gráfica de um LDO sem e com um condensador externo, respetivamente.

O condensador externo possui internamente uma resistência, denominada de resistência equivalente em série (ESR), entre o 0,2 e 9Ω [31].

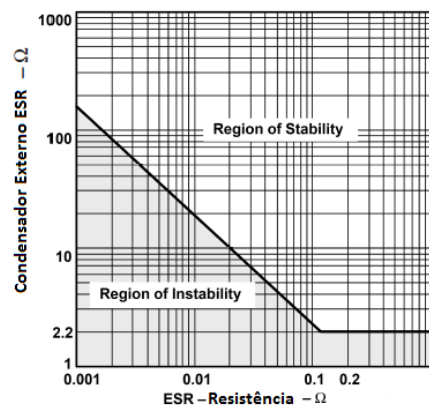


Figura 2.22 – Relação entre C_o e ESR [37].

O pior caso da margem de fase é para baixas correntes de carga, que corresponde a uma elevada R_{o-pass} . Neste caso, o zero mantém a sua frequência enquanto que o pólo dominante a diminui, promovendo também a diminuição da UGF e afetando o desempenho do regulador no PSRR e na resposta dinâmica [38].

Para manter a estabilidade, existem múltiplas técnicas dependendo das especificações do sistema para a sua solução. A técnica aplicada em [8] [16], *Damping factor Control Frequency Compensation* (DFCFC), utiliza um amplificador de erro com três estágios em que o pólo dominante é independente da carga a baixas frequências. Dessa forma, permite o aumento da estabilidade, a regulação da carga e melhora o PSRR. Todavia como desvantagem, apresenta uma elevada corrente de quiescente o que afeta o rendimento do regulador. Outro método, usado em [39], é a utilização da compensação de Miller que usa uma malha RC para estabilizar o sistema. A vantagem desta técnica é de ter uma baixa corrente de quiescente e uma resposta rápida à variação da carga. O condensador de saída tem, portanto, um papel crucial na estabilidade de um regulador.

Contudo, quando as especificações da corrente de saída não requerem um sistema totalmente integrado, o uso do condensador pode ser negligenciado [8] [19] [40] [41].

3

Metodologia de Projeto do Regulador

Neste capítulo é realizado o dimensionamento do regulador linear de tensão considerando os seus blocos individualmente e, posteriormente, no seu todo. O objetivo é conceber um regulador com baixa tensão de dropout e baixa corrente de quiescente pois essas são as características exigidas nos dispositivos eletrônicos portáteis dos nossos dias.

Este regulador é constituído, essencialmente, pelo transístor de potência, pelo amplificador de erro, pela fonte de corrente, pela tensão de referência e pelo seu funcionamento como um todo, como regulador linear de tensão representado na Figura 3.1. De referir, que a estabilidade do regulador é dependente da carga e do condensador (se necessário) o que leva a varias considerações no projeto do regulador linear de tensão.

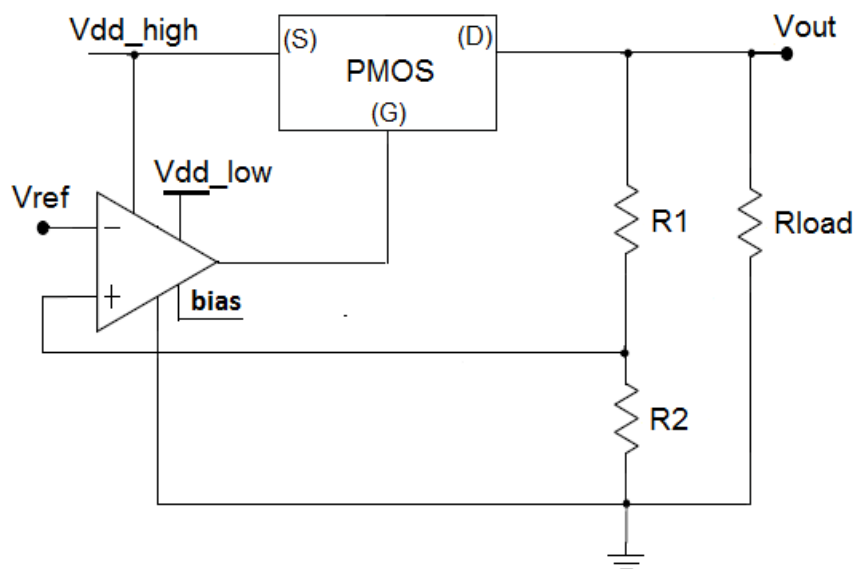


Figura 3.1 – Estrutura do Regulador linear de tensão proposto.

Como referido no Capítulo 1, o projeto do regulador foi realizado utilizando o processo CMOS de 0.35 μ m 50V da *Austria Micro Systems* e terá as especificações iniciais apresentadas na tabela 1.1.

3.1 Transístor de potência

A escolha do transístor de potência é muito importante pois influencia de maneira decisiva quando, por exemplo, um elevado rendimento e uma baixa tensão de *dropout* são requeridas. Essa escolha pode ser constituída por apenas um transístor ou constituído por vários, formando um *array* [15]. Quando se trata de apenas um transístor, tem a vantagem de aumentar a eficiência de corrente, pois a corrente quiescente diminui. Contudo, quando o transístor de potência é constituído por vários transístores em *array*, o PSRR melhora assim como a resposta à variação da carga, tornando-a mais rápida [15] [42].

Pela tabela 2.1 e para este regulador, foi escolhido o PMOS pois é o que possui um melhor compromisso entre tensão de *dropout*, corrente de *quiescente*, velocidade e a corrente de saída apesar de ser mais difícil para manter o sistema estável. O transístor de potência, PMOS, está configurado em *source-comum*, como representado na Figura 3.2. Na figura, estão também representadas as capacidades parasitas do transístor de potência pois não podem ser desprezadas devido às dimensões do transístor. De referir também, que a impedância de saída do transístor é inversamente proporcional à corrente que nele circula, o que faz variar a posição do polo dominante. Desse modo, se a corrente de carga é baixa, a frequência do polo dominante será, também, baixa [19] [43].

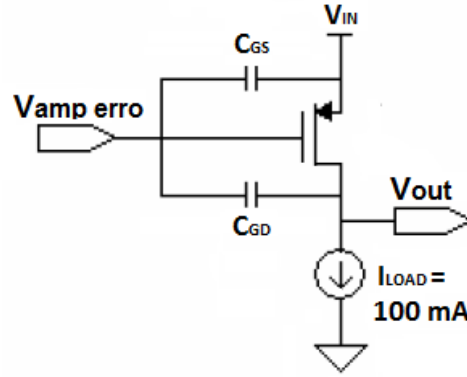


Figura 3.2 – Configuração do transístor de potência utilizado, transístor PMOS.

O PMOS funcionará nas três regiões de operação. Quando a tensão de entrada se situa entre V_{OUT} e $V_{OUT} + V_{DROP}$ o transístor encontra-se na região de tródo, o que significa que a tensão de saída não será regulada corretamente. A relação da corrente do transístor quando este se encontra na região de tródo é dada pela equação (3.1).

$$I_{sd} = \frac{1}{2} K_p \frac{W}{L} [(V_{sg} - V_{th})V_{sd} - V_{sd}^2] \approx \frac{1}{2} K_p \frac{W}{L} [(V_{sg} - V_{th})V_{sd}] \quad (3.1)$$

Onde K_p corresponde ao parâmetro de processo, $\frac{W}{L}$ a relação das dimensões físicas do transístor e $V_{sg} - V_{th}$ é a tensão de saturação, V_{SDsat} .

À medida que se aumenta a tensão de entrada, superior a $V_{out} + V_{drop}$, o transístor de potencia passa da região de tródo para a região de saturação. Nessa região, a corrente entregue à carga é máxima sendo dado pela expressão (3.2).

$$I_{sd} \approx \frac{1}{2} K_p \frac{W}{L} (V_{sg} - V_{th})^2 \quad (3.2)$$

A expressão (3.3) representa a resistência do PMOS, R_{o-pass} , dada em função da tensão *source-drain* e da corrente de saída, na região de saturação.

$$R_{o-pass} \approx \frac{V_{sd}}{I_{sd}} \approx \frac{2 L}{K_p W} \frac{1}{(V_{sg} - V_{th})} \quad (3.3)$$

Da equação (3.3) é possível calcular a tensão de dropout em função da corrente de carga e a resistência do transistor, expresso pela equação (3.4).

$$V_{dropout} = I_{load} R_{o-pass} \approx \frac{2 L}{K_p W} \frac{I_{load}}{(V_{sg} - V_{th})} \quad (3.4)$$

Tratando-se de um projeto *High-Voltage* com uma tensão de entrada de 12V, a gate do transistor de potência tem de permitir tensões superiores a 5V para funcionar na região de saturação. Para esse efeito, restam apenas os seguintes transistores no processo em causa apresentados na tabela 3.1.

Transistores PMOS	V_{GS} [V]	V_{DS} [V]	Length [μm]	R_{o-pass} [$\text{k}\Omega \cdot \mu\text{m}$]	TC_{Ron}	K_p [$\mu\text{A}/\text{V}^2$]
PMOS20H	-20	-20	1,1	19	3,5	12
PMOS20HS	-20	-20	1,2	22,5	4,0	12
PMOS50H	-20	-50	1,4	39	4,3	12
PMOS50HS	-20	-50	2,8	74	4,4	12

Tabela 3.1 – Transistores PMOS possíveis para o projeto [44].

O PMOS escolhido foi o PMOS20H pois é o que tem a resistência do transistor, R_{o-pass} , mais baixa pelo que a sua tensão de *dropout* será menor em relação aos outros transistores. Na tabela 3.1, a R_{o-pass} está em [$\text{k}\Omega \cdot \mu\text{m}$] pois está dependente da largura do transistor utilizado, $L_{pass\ device}$. Porém, esse fato agrava ainda mais a resistência dos outros transistores em relação ao PMOS20H.

Outro fator a ter em consideração é a tensão de *threshold*. Entende-se por tensão de *threshold*, V_{th} , a tensão mínima necessária para o transistor estar à condução. Desse modo, o PMOS20H e o PMOS20HS são os que possuem menor V_{th} , em relação aos outros dois transistores.

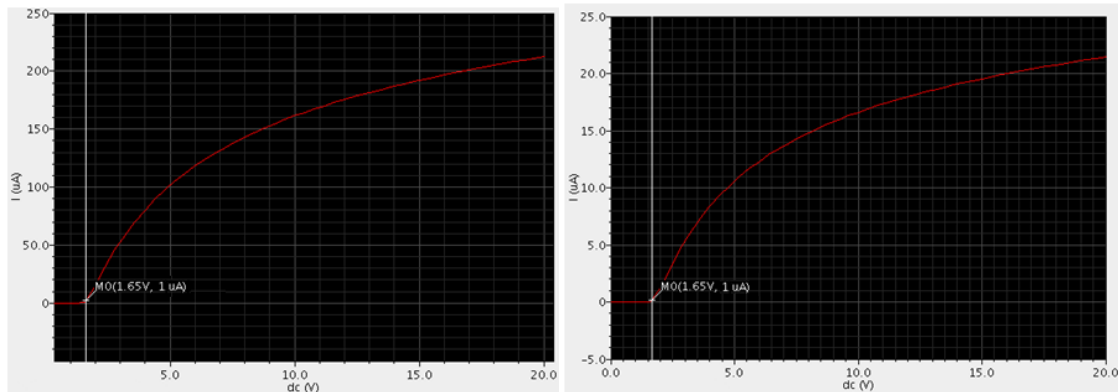


Figura 3.3 – Tensão de threshold do transistor PMOS20H e PMOS20HS, respectivamente.

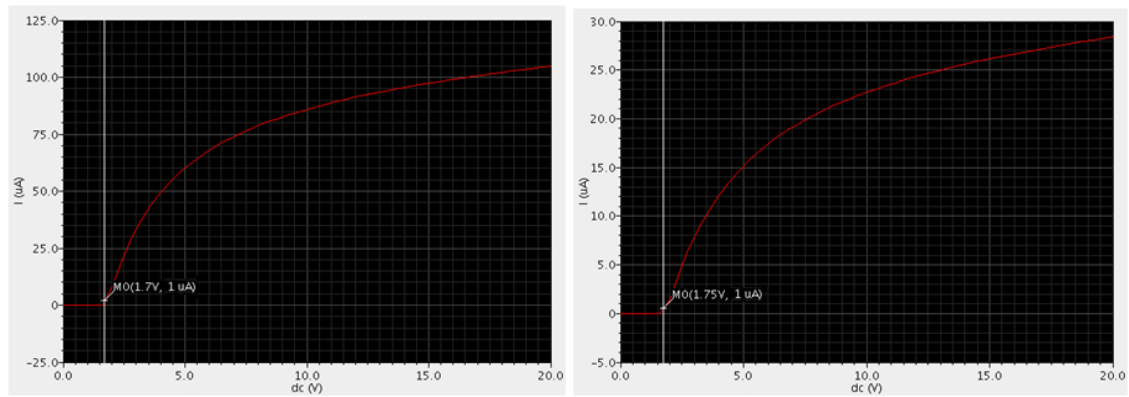


Figura 3.4 – Tensão de threshold do transistor PMOS50H e PMOS50HS, respectivamente.

Outro parâmetro que permite justificar que o PMOS20H é o melhor, para este projeto, é porque possui um menor $TC_{R_{on}}$. O $TC_{R_{on}}$, consiste na alteração do valor da sua resistência em função da variação da temperatura, em que o PMOS20H possui a menor variação.

Os transistores foram simulados e comparados, de modo a verificar se os valores de fábrica coincidiam com os valores obtidos por simulação, o que foi confirmado.

Não é usado o comprimento mínimo do transistor ($L_{min} = 1.1 \mu\text{m}$) de modo a aumentar a sua impedância de saída [33]. O PSSR também é afetado em altas frequências quando o comprimento mínimo é utilizado. O tamanho do transistor será de $W = 10\,000 \mu\text{m}$ e $L = 1.2 \mu\text{m}$ dando uma margem em relação ao comprimento mínimo. A razão do transistor de potência ser tão grande prende-se com o facto de assegurar que o regulador consiga fornecer uma quantidade suficiente de corrente [45]. Como se pode observar pela equação (3.4), o tamanho do transistor de potência influencia a tensão de *dropout*. Para uma determinada corrente de carga, o aumento do tamanho do transistor faz diminuir a tensão de dropout. À medida que se aumenta as especificações da corrente de carga, é necessário aumentar o tamanho do transistor. Contudo, o elevado tamanho resulta em grandes capacidades parasitas, C_{gs} e C_{gd} , impondo um aumento do *slew rate* e tornando mais difícil a estabilidade [46].

Os parâmetros do PMOS usado para o regulador de tensão estão representados na Tabela 3.2.

Tabela 3.2 – Parâmetros do transistor de potência PMOS.

Parâmetros	Valor
W	10 000 μm
L	1,2 μm
K_p	12 $\mu\text{A}/\text{V}^2$
R_{o-pass}	22,8 k Ω

3.2 Amplificador de erro

A metodologia usada para o projeto do amplificador de erro tem de ser efetuado com muita atenção de modo a satisfazer as especificações impostas ao regulador de tensão. Nomeadamente, um elevado ganho DC, para assegurar precisão; deve ter baixa corrente de quiescente, para aumentar o tempo de vida da bateria; a regulação da linha e da carga e ainda, deve ser *rail-to-rail* na tensão de saída.

Não esquecer o PSRR do regulador que está diretamente relacionado com o desempenho do amplificador de erro.

Um amplificador de erro deve ter um ganho superior a 70 dB [47], o que se torna difícil de concretizar usando apenas um estágio sendo necessário o uso de um amplificador de erro com dois estágios. Todavia, o uso de dois estágios é desfavorável pois o transistor de potência não funciona como estágio de alto ganho na condição de *dropout*. Assim, o amplificador de erro terá apenas um estágio e o transistor de potência será considerado como o segundo estágio.

Os amplificadores de erro mais utilizados para a realização de um LDO são as topologias *cascode* porque, para além de permitirem melhorar o ganho DC, melhoram também o PSRR. Como referido anteriormente, uma das principais preocupações num amplificador de erro é o seu consumo de corrente, devendo ter baixa complexidade de modo a baixar a corrente quiescente. Para isso, existem várias topologias e neste projeto, o amplificador de erro usado tem como base um *operational transconductance amplifier* (OTA). Este OTA é definido como um amplificador de erro em que todos os nós são de baixa impedância exceto os nós de entrada e saída [45].

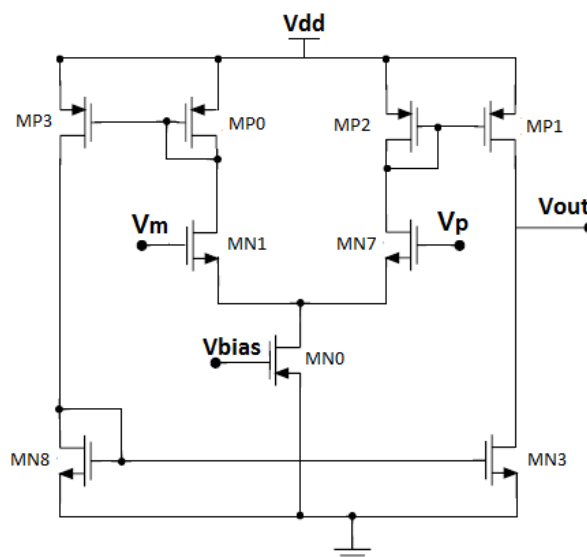


Figura 3.5 – Esquema elétrico base usado de um OTA [45].

Como referido no capítulo 2, a finalidade de um amplificador de erro é amplificar a diferença entre a tensão de referência e a tensão proveniente da malha de realimentação. Na Figura 3.6, é representado o amplificador de erro utilizado para o regulador linear de tensão.

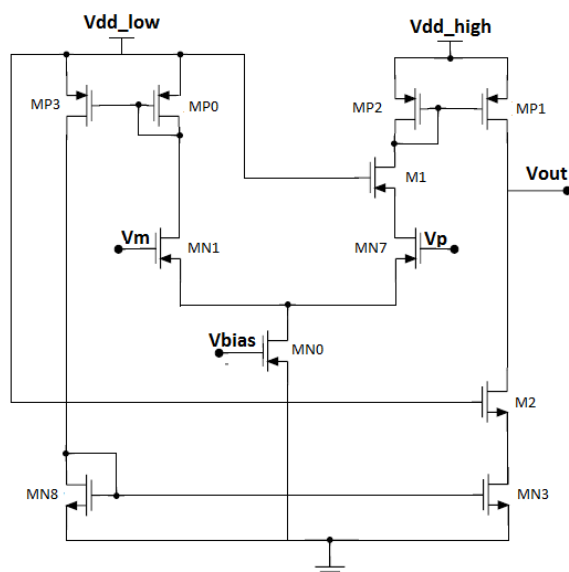


Figura 3.6 – Esquema elétrico do amplificador de erro.

A principal diferença entre a Figura 3.3 e o esquema elétrico utilizado (Figura 3.4) deve-se ao facto de existir duas tensões de alimentação no mesmo amplificador de erro, o V_{dd_low} e o V_{dd_high} . Este método utilizado deve-se à tensão na gate do transístor de potência necessitar de uma alta tensão (8,7V) para funcionar na região de saturação, sendo necessário a saída do amplificador de erro ser de alta tensão. O V_{dd_low} é alimentado por 3,3V e o V_{dd_high} por 12V. Os transístores alimentados pelo V_{dd_low} são de baixa tensão, enquanto que a saída do amplificador de erro é de alta tensão, alimentado pelo V_{dd_high} . Foram também acrescentados dois transístores, M1 e M2, de *low voltage* que funcionam como divisores de tensão. A corrente de polarização, pertencente ao transístor MN0, deve ser a mínima possível para que o circuito funcione mas principalmente de modo a aumentar a eficiência de corrente, da equação (2.8). A tensão de *offset* do amplificador do erro deve ser a mínima possível para reduzir os desvios na tensão de saída já que, por exemplo, a temperatura introduz erros adicionais nessa tensão. O valor da tensão de *offset* para este o amplificador de erro é de 11mV.

Tabela 3.3 – Tamanho dos transístores do amplificador de erro.

Transístores	Tamanho [μm]	Low-Voltage/High-Voltage
M1 e M2	$W = 400$ e $L = 1$	Low-Voltage
MN1 e MN7	$W = 100$ e $L = 1$	Low-Voltage
MP1 e MP2	$W = 40$ e $L = 2$	High-Voltage
MP0, MP3, MN8 e MN3	$W = 20$ e $L = 4$	Low-Voltage
MN0	$W = 11$ e $L = 4$	Low-Voltage

3.2.1 Análise AC

De modo a saber se o amplificador operacional está em condições de ser utilizado com os restantes componentes é necessário testá-lo. Para esse efeito, é utilizado o esquema de simulação da Figura 3.7 [45]. O objetivo da resistência e do condensador é “cortar” a contribuição da componente AC do circuito, para isso, é necessária uma resistência de valor elevado ($R=100\text{M}\Omega$) e um condensador ($C=10\mu\text{F}$).

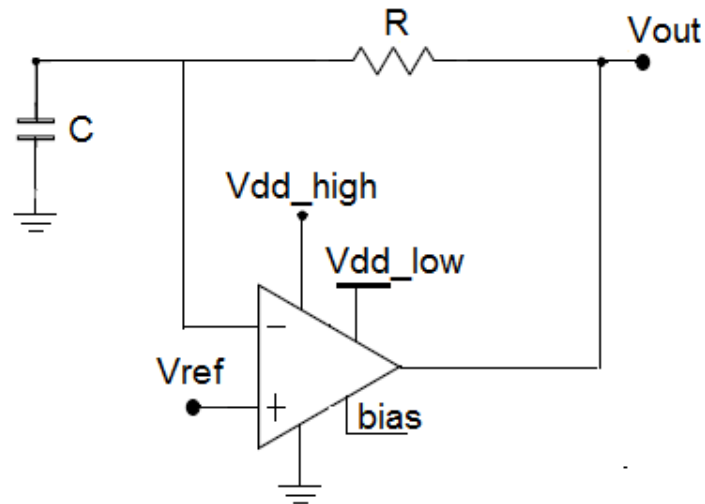


Figura 3.7 – Esquema simplificado de simulação para a resposta em frequência do amplificador de erro.

Com o esquema da Figura 3.5, é determinado o ganho e a fase do amplificador de erro representado pela Figura 3.8. O ganho do amplificador de erro é cerca de 57dB com uma margem de fase, a 0dB, de $57,9^\circ$ sendo dessa maneira estável.

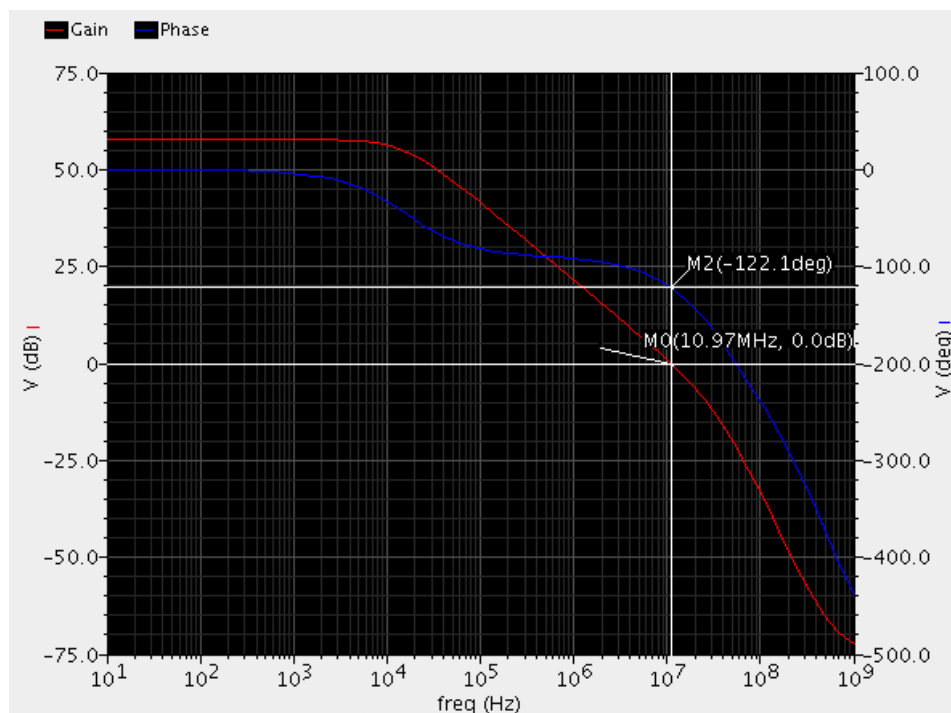


Figura 3.8 – Caracterização do ganho e da fase do amplificador de erro.

3.3 Fonte de corrente

Para o circuito do amplificador de erro é necessário projetar uma fonte de corrente. O objetivo de uma fonte de corrente é fornecer uma determinada corrente, independentemente de variações da tensão de alimentação. Deve ser simples para o consumo da corrente não prejudicar o rendimento do regulador. Para esse efeito, foi usada a fonte de corrente representada na Figura 3.9.

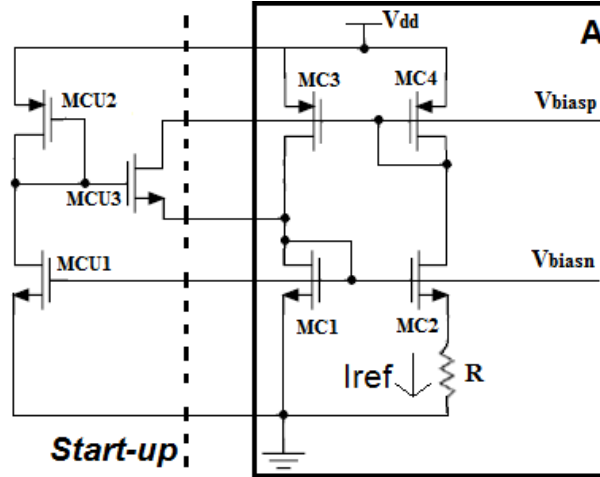


Figura 3.9 – fonte de corrente [18].

No circuito A, de modo a forçar a mesma corrente a passar pelos transístores MC1 e MC2 é adicionado um espelho de corrente PMOS (MC3 e MC4). Assim, é possível escrever a seguinte equação (3.3.1).

$$V_{GS_{MC1}} = V_{GS_{MC2}} + I_{REF} R \quad (3.3.1)$$

A equação (3.3.1) só é válida se $V_{GS1} > V_{GS2}$, para isso, é usado um valor de β mais elevado (K vezes maior) em MC2, $\beta_2 = K \beta_1$. Sabendo as expressões (3.3.2) e (3.3.3) é possível reescrever a equação (3.3.1) em relação à corrente de referência dada pela equação (3.3.4).

$$V_{GS} = \sqrt{\frac{2 I_D}{\beta}} + V_{TH} \quad (3.3.2)$$

$$\beta = K_p \frac{W}{L} \quad (3.3.3)$$

$$I_{REF} = \frac{2}{R^2 K_p \frac{W}{L}} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (3.3.4)$$

Como se pode observar pela equação (3.3.4), a corrente de referência, I_{REF} , é independente da tensão de alimentação, V_{DD} . Um circuito “start-up” é acrescentado ao circuito

A. Esse circuito impede o circuito A de funcionar numa zona indesejável e a sua inclusão não deve alterar o normal funcionamento do circuito A [45]. Na Tabela 3.4, são representados o tamanho dos transístores utilizados na fonte de corrente.

Tabela 3.4 – Tamanho dos transístores e o valor da resistência da fonte de corrente.

Transístores	Tamanho [μm]
MCU1	$W = 10$ e $L = 2$
MCU2	$W = 10$ e $L = 100$
MCU3	$W = 10$ e $L = 1$
MC1	$W = 11$ e $L = 1$
MC2	$W = 48$ e $L = 0,8$
MC3 e MC4	$W = 30$ e $L = 5$
Resistência	$R = 1840\Omega$

Na Figura 3.10, são representadas as duas correntes de saída da fonte de corrente. Estas correntes devem ter a menor diferença possível. A corrente de saída da fonte de corrente deve ser a mínima necessária para o funcionamento do regulador linear de tensão, mais propriamente, para o transístor MNO do amplificador de erro estar na saturação. Desse modo, diminui-se o consumo da corrente que se traduz na melhoria de rendimento do regulador. A corrente de referência é de $82\ \mu\text{A}$.

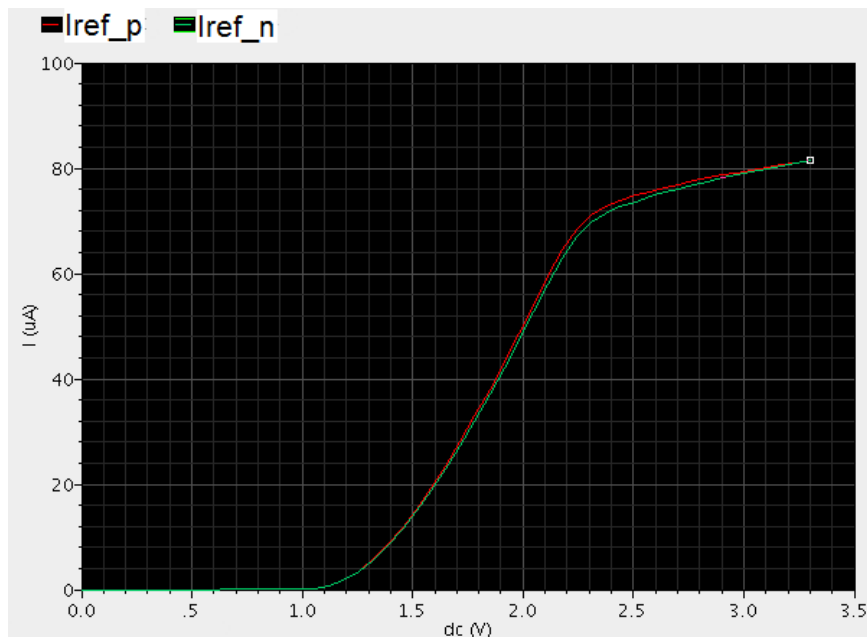


Figura 3.10 – Correntes de saída da fonte de corrente em função da variação da tensão de alimentação.

3.4 Regulador de tensão linear

Conforme a Figura 3.1, o regulador linear de tensão proposto é constituído pelo transístor de potência, pelo amplificador de erro e pela fonte de corrente previamente discutidos. É também constituído por uma malha de realimentação resistiva constituída pelas resistências R_1 e R_2 . Esta malha é um divisor resistivo em que o objetivo é dividir a tensão de saída. Quando a tensão de saída se encontra no valor para o qual foi concebido ($V_{out}=3,3V$), a tensão V^+ do amplificador de erro dever ser igual à tensão de referência (V_{ref}). Pela equação (3.4.1) calcula-se o valor das resistências, sendo $R_1=17,8k\Omega$ e $R_2=10k\Omega$.

$$V_{ref} = V_{out} \frac{R_1}{R_1 + R_2} \quad (3.4.1)$$

Não foi necessário nenhum condensador para a estabilidade do sistema, o que será demonstrado no capítulo 4. Na Figura 3.11 é representado o esquema do regulador linear de tensão projetado onde no próximo capítulo será testado para verificar o seu funcionamento e cumprimento dos parâmetros especificados na Tabela 1.1.

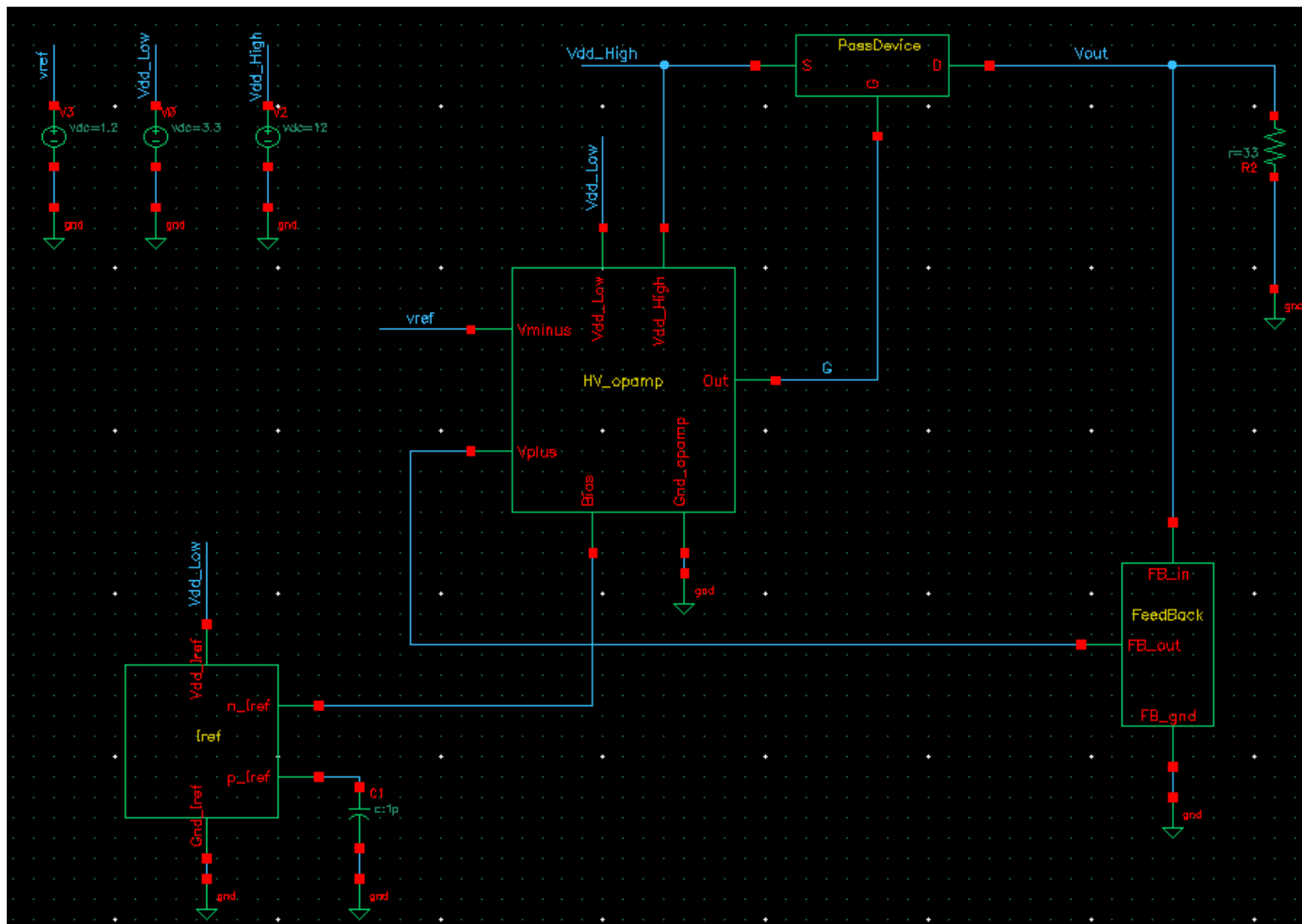


Figura 3.11 – Esquema do regulador linear de tensão projetado.

4

Simulação da Topologia Proposta

Neste capítulo será realizada a validação do regulador linear de tensão sendo apresentadas as suas simulações. Serão efetuadas, tendo como base, as quatro categorias de um regulador referido no capítulo 2, visando as seguintes características: estabilidade (ganho e fase), regulação da linha e da carga, tensão de dropout, tempo de estabelecimento e PSRR.

Os esquemas e as simulações foram realizados utilizando a ferramenta de simulação “Cadence® Custom IC Design tools” e o processo CMOS de 0.35µm 50V da *Austria Micro Systems*. Na caracterização do regulador linear de tensão serão utilizados *corners*. Os *corners* são parâmetros que fazem variar os valores típicos dos componentes de um circuito. É uma ferramenta útil para ter uma análise mais realista do projeto apesar de não fornecer um valor real do pior caso, fornece uma boa indicação do que poderá acontecer. Nos *corners* existe a possibilidade de variação de alguns parâmetros tais como: a temperatura, a fonte de alimentação, a fonte de corrente, as resistências e os parâmetros dos transístores. Neste projeto, serão efetuadas variações aos transístores e à temperatura representadas na Tabela 4.1.

Tabela 4.1 – Parâmetros dos corners utilizados nas simulações.

Parâmetros	Variação			
	<i>wp</i>	<i>ws</i>	<i>wo</i>	<i>wz</i>
	Mínimo	Normal	Máximo	
Temperatura [°C]	- 40	25	125	

O *wp*, *ws*, *wo* e *wz* significam *worst-case power*, *worst-case speed*, *worst-case one* e *worst-case zero*, respectivamente. Estes parâmetros variam de acordo com variações do processo, tal como a tensão de *threshold*, V_{th} , e a velocidade dos transístores podendo ser rápidos ou lentos, conforme a Figura 4.1.

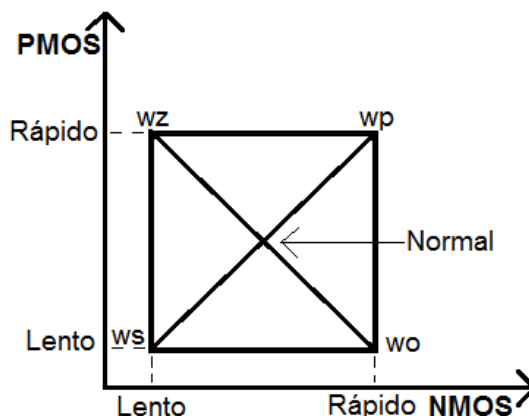


Figura 4.1 – Parâmetros de velocidade dos transístores pertencente aos corners do processo utilizado.

A combinação das variações deu um total de 8 *corners* diferentes. Nalgumas das simulações também existe variação da corrente de carga aumentando as combinações para

um total de 50 *corners* diferentes. Os esquemas utilizados para a realização das simulações encontram-se em anexos.

4.1 Análise da estabilidade

Uma maneira de determinar a estabilidade do regulador é através do esquema de simulação da Figura 4.2, sendo o seu circuito elétrico apresentado nos anexos. A malha de realimentação é interrompida usando, para isso, uma bobina de valor elevado cuja função é “cortar” a contribuição da componente AC. O sistema é simulado em malha aberta e serve para concluir se o sistema é estável, para isso, basta comparar se o valor da fase, quando o ganho for de 0dB, é inferior a 135° (ou a margem de fase ser superior a 45°).

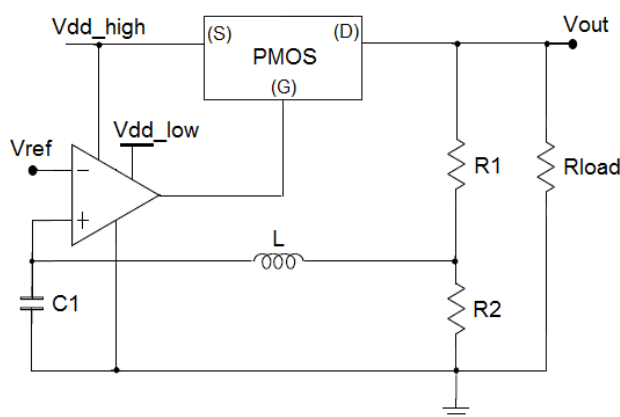


Figura 4.2 – Esquema de simulação para resposta em frequência.

Na Figura 4.3 é representado o ganho DC e a respetiva fase, de acordo com o esquema da Figura 4.2, para correntes de carga de 10 μ A, 100 μ A, 1mA, 10mA e 100mA com os respetivos *corners*. À medida que a corrente de carga diminui, diminui também o ganho do regulador. Para todas as condições, verifica-se que o regulador é estável.

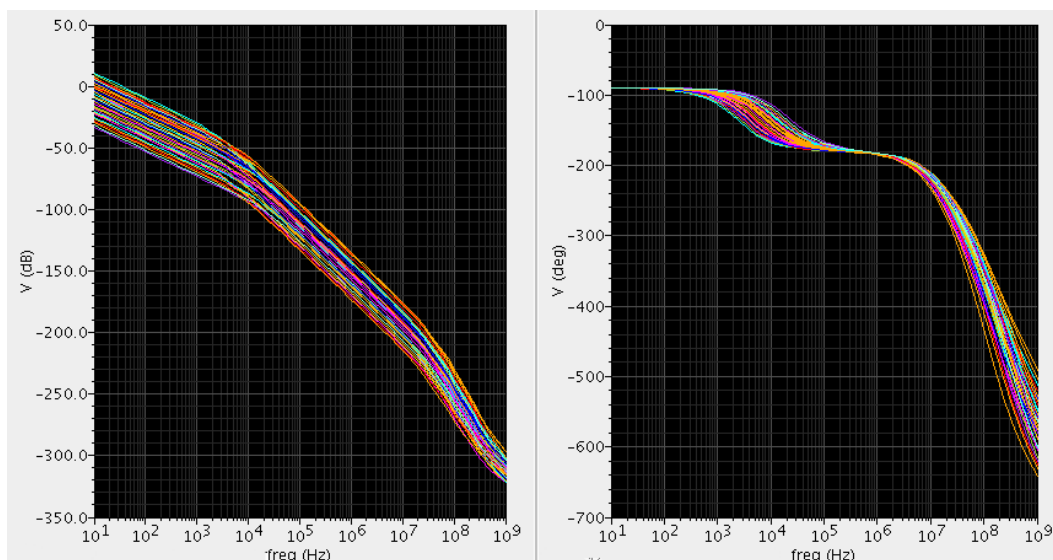


Figura 4.3 – Caracterização do ganho e da fase, considerando todas as hipóteses.

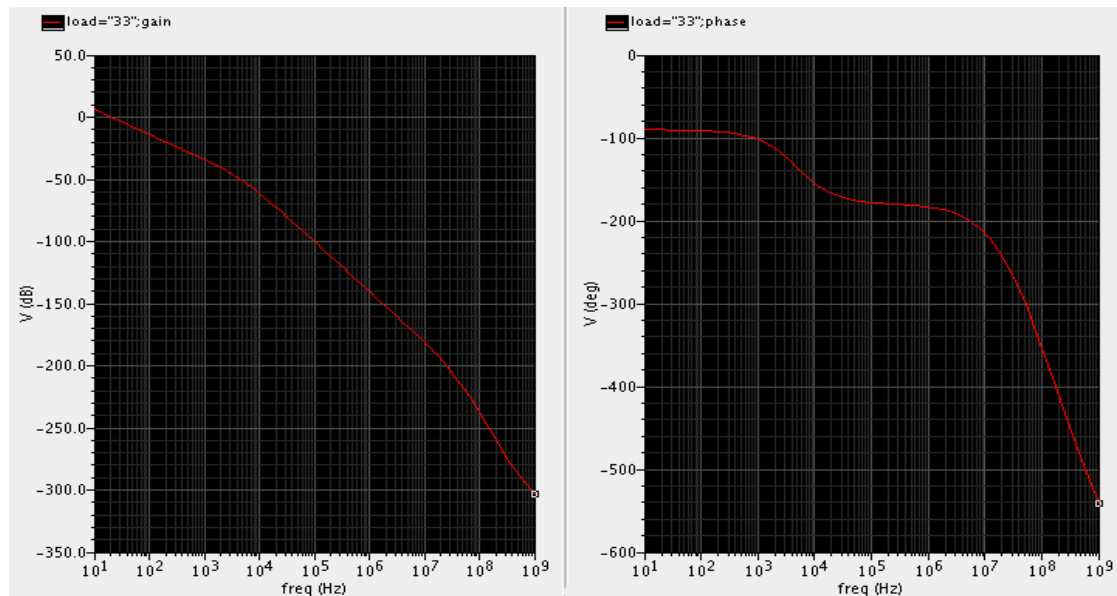


Figura 4.4 - Caracterização do ganho e da fase para $I_{carga} = 100\text{mA}$.

4.2 Tensão de dropout do Regulador linear de tensão

Na Figura 4.5, está representada a curva característica do regulador linear de tensão. Nesta figura, é possível identificar as três zonas de funcionamento do regulador, referidas no capítulo 2. Para tensões inferiores a 1,65V encontra-se na zona de corte; para valores entre 1,65 e 4,037V encontra-se na zona de dropout e para valores superiores a 4,037V está na zona linear. Assim sendo, a tensão de dropout, V_{drop} , deste regulador é de 707mV.

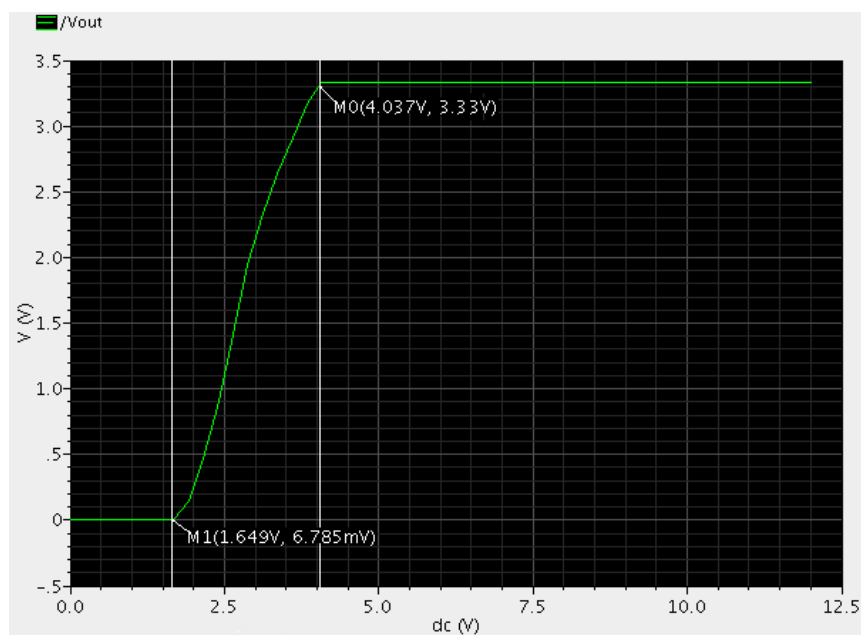


Figura 4.5 – Curva característica do regulador de tensão projetado (para $I_{carga} = 100\text{mA}$).

Na Figura 4.6 é representada a tensão de saída em relação à variação da tensão de alimentação. A tensão de alimentação é de 12V variando sinusoidalmente $\pm 8,5V$, desse modo, o regulador linear de tensão deixa de regular quando a tensão é inferior a 4,037V, ou seja, $V_{out} + V_{drop}$. De referir, que apesar da tensão de entrada superar ligeiramente a tensão máxima permitida pelos transístores de alta tensão, o regulador continua a funcionar normalmente.

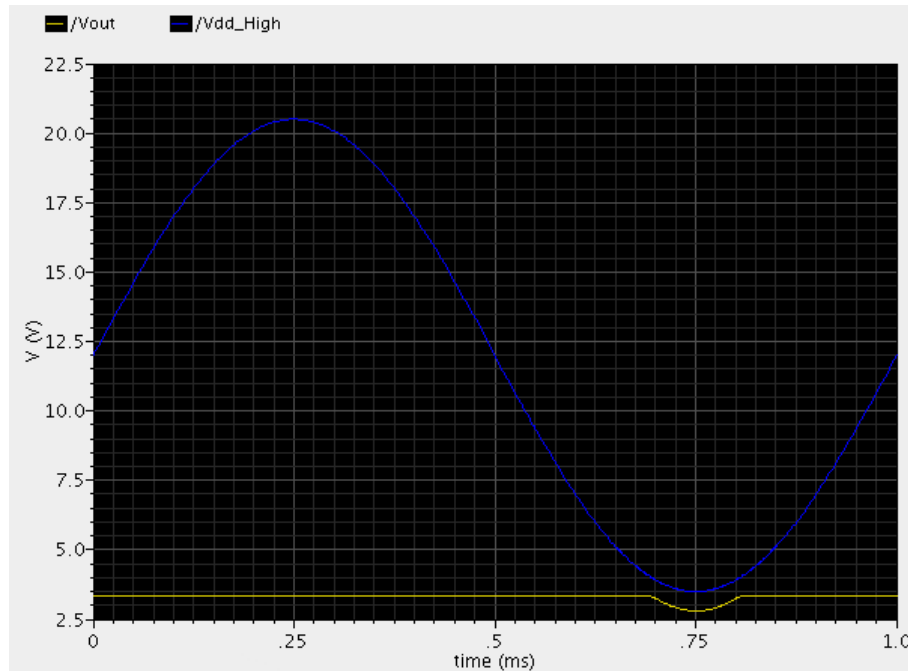


Figura 4.6 – Tensão de saída perante variação sinusoidal da tensão de alimentação.

Na Figura 4.7, está também representada a característica do regulador, mas desta vez, com os *corners*. No pior caso, a tensão de dropout pode atingir 1,222V, no entanto, para o melhor caso é de 385mV. Existe uma diferença de 837mV entre o melhor e o pior caso.

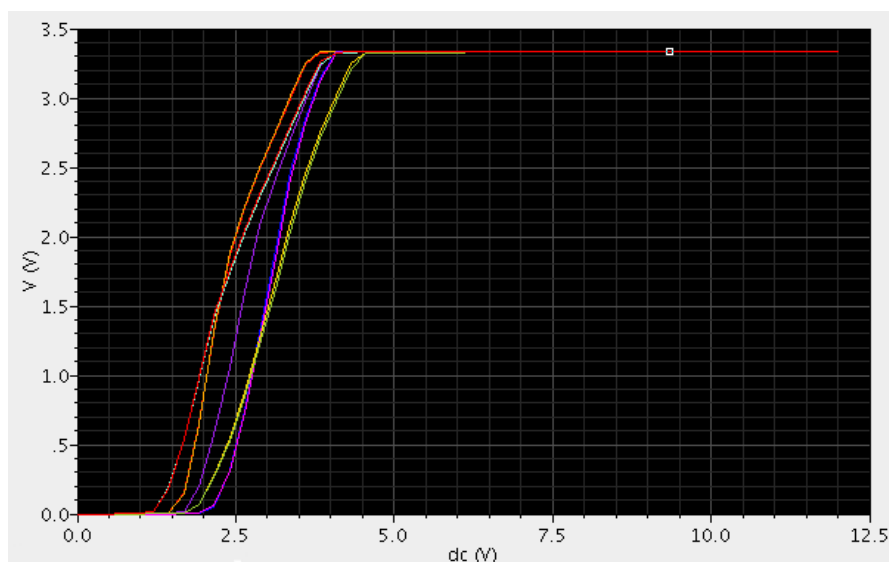


Figura 4.7 - Curvas características do regulador de tensão considerando os *corners*.

As conclusões obtidas na Figura 4.7 podem ser também observadas, de maneira diferente, através da Figura 4.8 e 4.9.

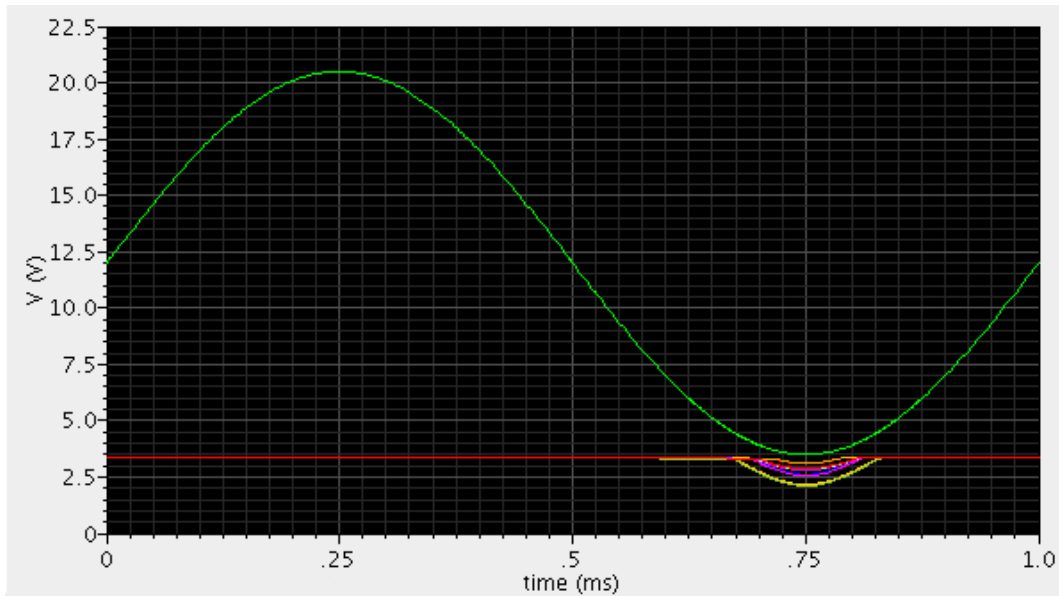


Figura 4.8 - Tensão de saída perante variação sinusoidal da tensão de alimentação com corners.

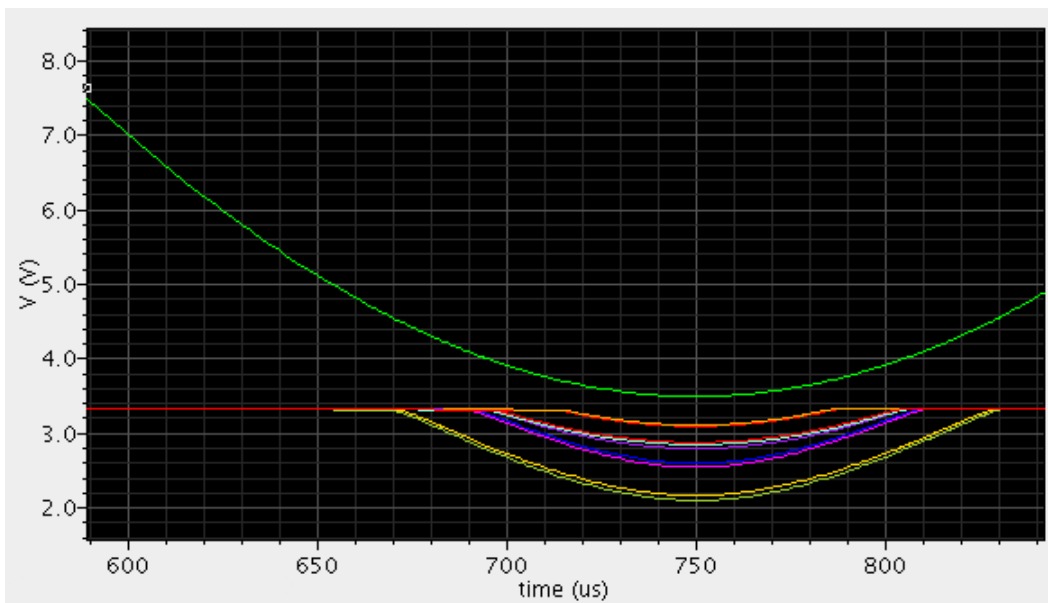


Figura 4.9 – Ampliação da Figura 4.15.

4.3 Regulação da linha

A Figura 4.10 representa a característica da regulação da linha em função da tensão de entrada pela equação (2.2), existindo um desvio de 18mV provocado na tensão de saída. Em termos percentuais, corresponde a um desvio de 0,54%.

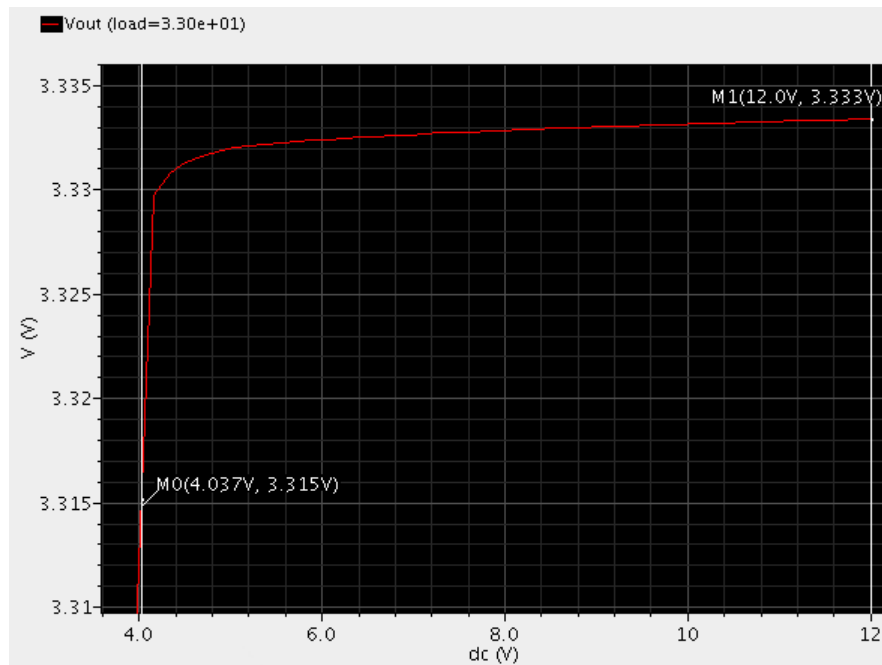


Figura 4.10 – Simulação da regulação da linha.

Na Figura 4.11, é representada a variação da tensão de saída em função da variação da corrente de carga. O desvio obtido pela variação da corrente na regulação da linha é de 9mV.

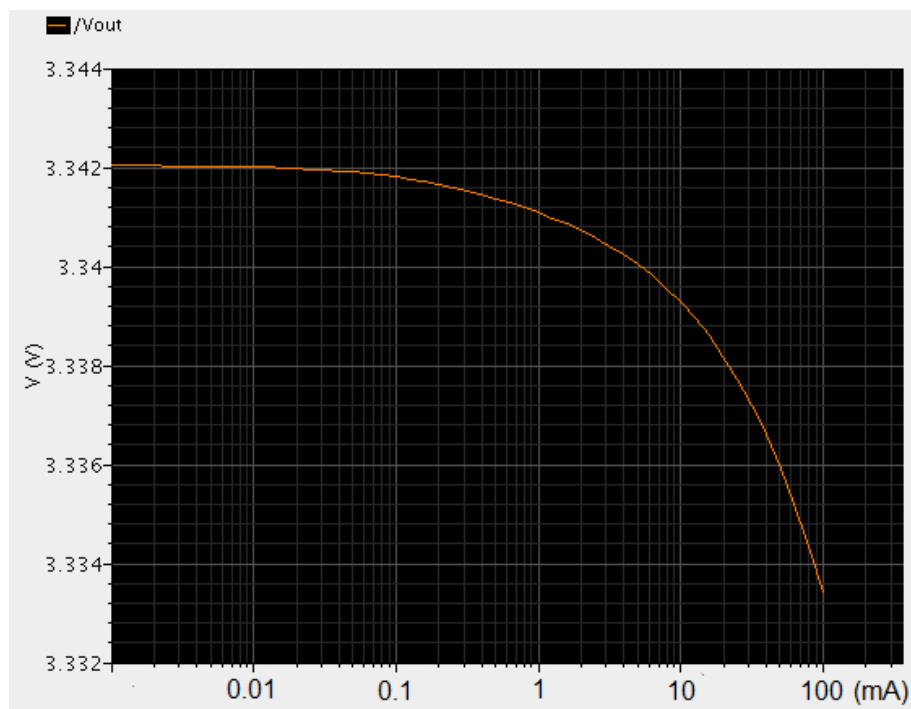


Figura 4.11 – Simulação da regulação da linha na ausência de carga.

Na Figura 4.12, a variação foi realizada com os *corners* em que para o pior caso, existe um desvio de 16,5mV e para o melhor caso, um desvio de 5,5mV.

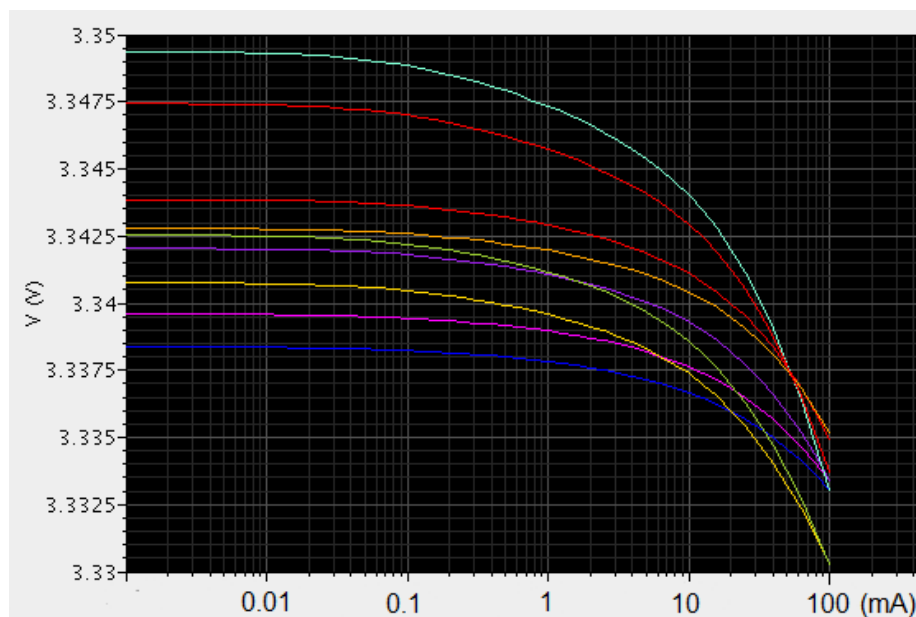


Figura 4.12 – Simulação da regulação da linha na ausência de carga, com os corners.

Estes desvios devem-se, pela equação (2.3), ao facto do ganho DC variar com a resistência de saída do transistor de potência, que por sua vez, varia em função da corrente de carga. Como referido no capítulo 2, uma forma de diminuir os desvios apresentados pela regulação da linha e da carga seria aumentar o ganho do amplificador de erro, tendo em atenção a possibilidade do regulador se tornar instável.

4.4 Regime transitório

Neste regulador linear de tensão será também analisado a regulação da linha e da carga em regime transiente. Para esse efeito a tensão de entrada e a corrente de carga serão estimuladas com um pulso. Será analisado o tempo de estabelecimento segundo parâmetros já referidos. As Figuras 4.13, 4.14 e 4.15 são a mesma figura apenas tendo sido aplicado mais zoom em cada uma delas para uma melhor visualização dos resultados obtidos. Na Figura 4.11, foi efetuado uma variação (*step*) na tensão de entrada de 0 a 12V, verificando-se uma demora de 2,4 μ s no pior caso quando a corrente é máxima (para 100mA, que corresponde a uma resistência de 33 Ω). Quando a corrente é mínima, o tempo de estabilização é menor, cerca de 0,4 μ s, mas verifica-se um maior pico da tensão de saída (pode chegar até aos 10,9V).

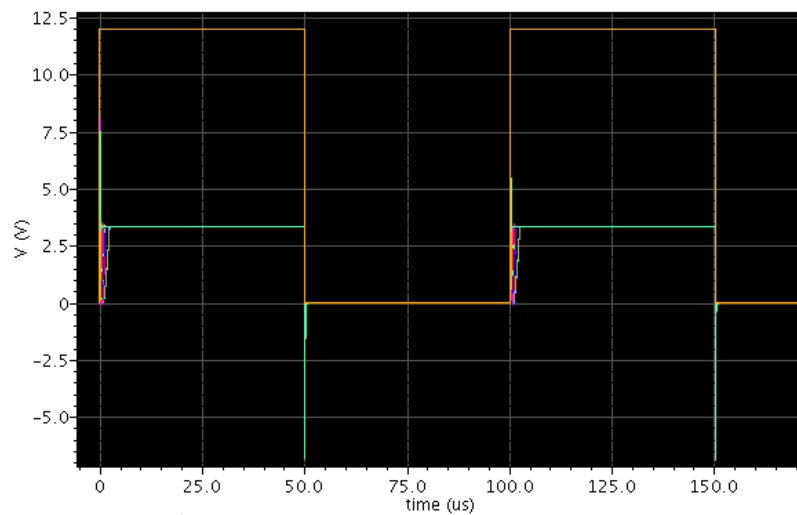


Figura 4.13 – Tempo de estabelecimento perante um step de 0 a 12V.

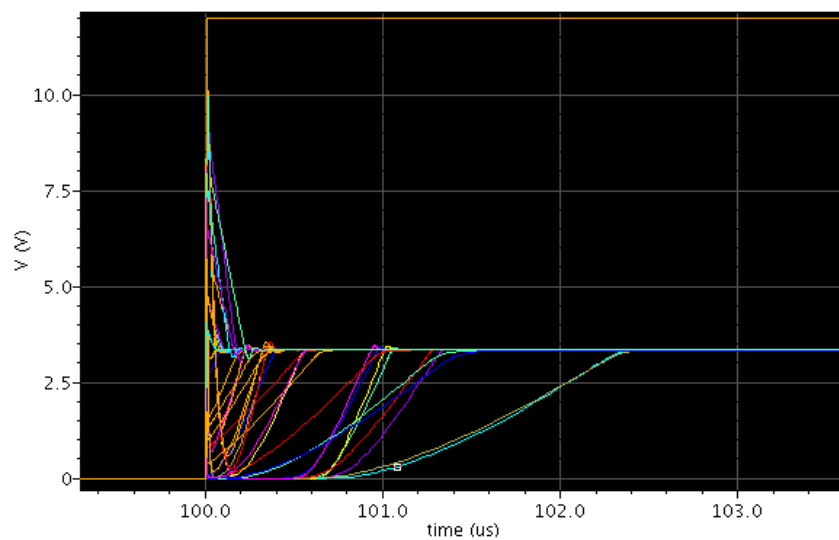


Figura 4.15 – Pormenor do tempo de estabelecimento, perante um step de 0 a 12V.

Na Figura 4.16, foi efetuado variações na corrente da carga, mais precisamente, um *step* entre 10 μ A e 100mA, entre 100 μ A e 100mA, entre 1mA e 100mA e entre 10mA e 100mA.

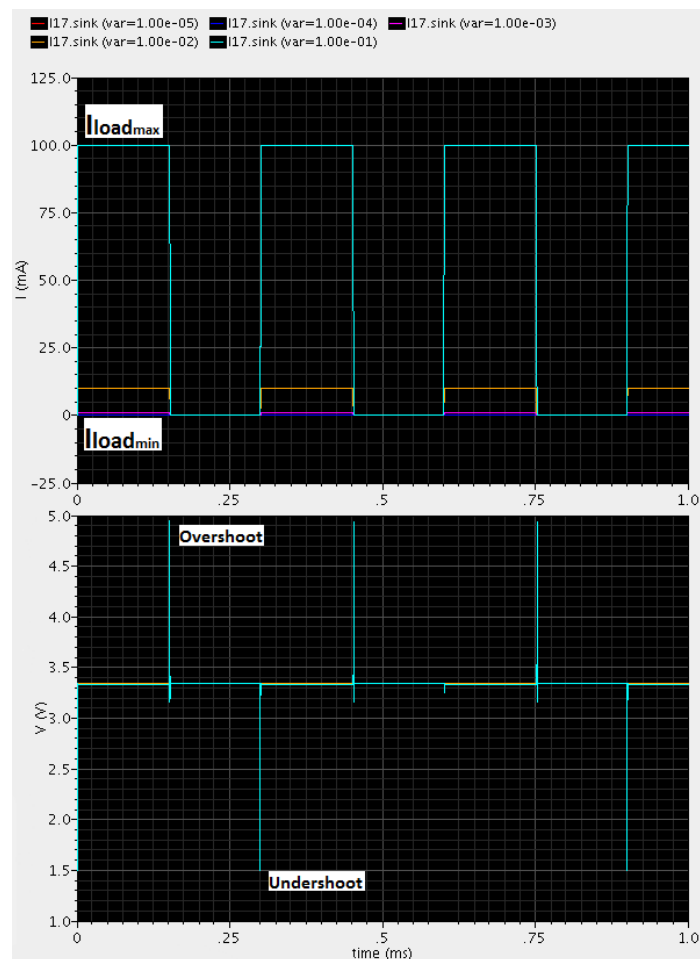


Figura 4.16 – Tensão de saída perante variações na corrente de carga.

O pior caso é quando há uma maior variação entre correntes na carga, isto é, entre $10\mu\text{A}$ e 100mA resultando num pico de tensão de $\pm 1,85\text{V}$. A Figura 4.13 é uma ampliação da Figura 4.12 permitindo melhor visualização.

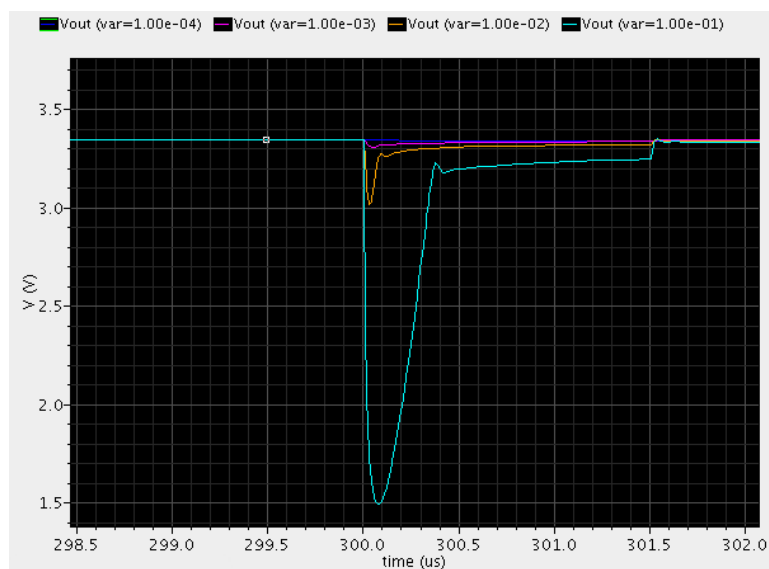


Figura 4.17 – Ampliação da Figura 4.16

4.5 Rendimento

Nesta última secção será efetuada a análise da corrente quiescente de forma a calcular a eficiência de corrente (equação (2.8)). Característica muito importante, pois influencia decisivamente a autonomia dos dispositivos eletrónicos portáteis, sendo que, quanto mais baixa for a corrente quiescente, maior será a autonomia. Pela expressão (2.7) é possível calcular o rendimento do regulador linear de tensão relacionando a corrente quiescente e as tensões de entrada e saída. Na Figura 4.18, é representada a corrente de carga e a corrente de entrada, de forma a calcular a corrente de quiescente pela equação (4.1).

$$I_q = I_{DD} - I_{load} \quad (4.1)$$

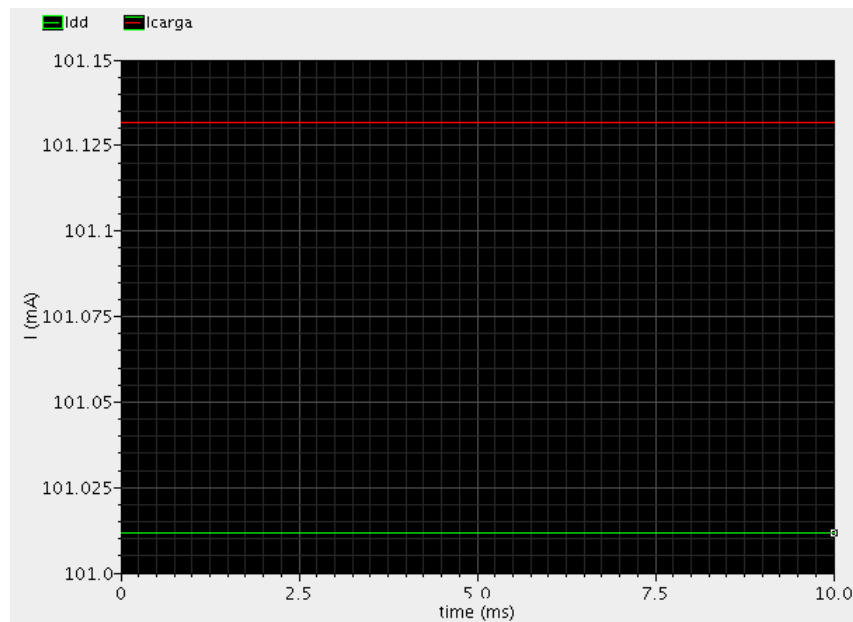


Figura 4.18 – Corrente de carga e corrente de entrada do regulador projetado.

Tabela 4.2 – Corrente de entrada, da carga e de quiescente para vários valores de carga.

Parâmetros	I (corrente)		
	I_{DD}	I_{carga}	I_q
100mA	101,1316mA	101,0117mA	119,91μA
10mA	10,2391mA	10,1190mA	120,18μA
1mA	1,1326mA	1,0124mA	120,20μA
100μA	221,48μA	101,27μA	120,21μA
10μA	130,3430μA	10,1273μA	120,22μA

Pela Tabela 4.2, a corrente quiescente do regulador projetado é de 119,91μA sendo que a variação entre diferentes valores de carga é praticamente inexistente. Pela Figura 4.19, já com *corners*, o pior caso de corrente quiescente é de 260μA e o melhor caso é de 40μA.

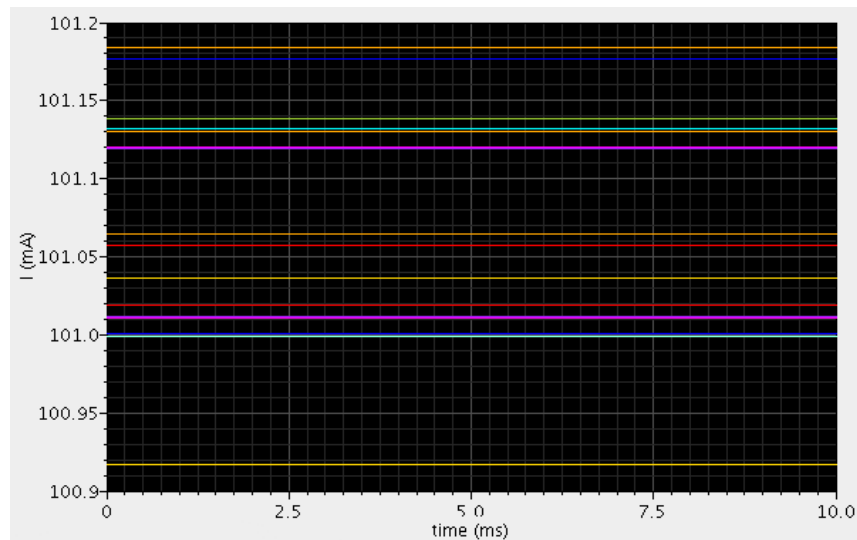


Figura 4.19 - Corrente de saída e corrente de entrada do regulador projetado com corners.

A partir da equação (2.8), é calculada a eficiência de corrente do regulador projetado.

$$Eff_{corrente} = \frac{101,1316}{0,1199 + 101,1316} = 99,88\%$$

Pela equação (2.7), é calculado o rendimento do regulador projetado.

$$\eta = \frac{3,333 \cdot 101,1316}{12 (0,1199 + 101,1316)} = 27,74\%$$

De referir, que o rendimento do regulador é baixo pois a tensão de entrada é muito superior à tensão de saída. Se fosse usada a tensão mínima necessária para o funcionamento do regulador, a tensão seria cerca de três vezes maior.

$$\eta = \frac{3,333 \cdot 101,1316}{4,037 (0,1199 + 101,1316)} = 82,46\%$$

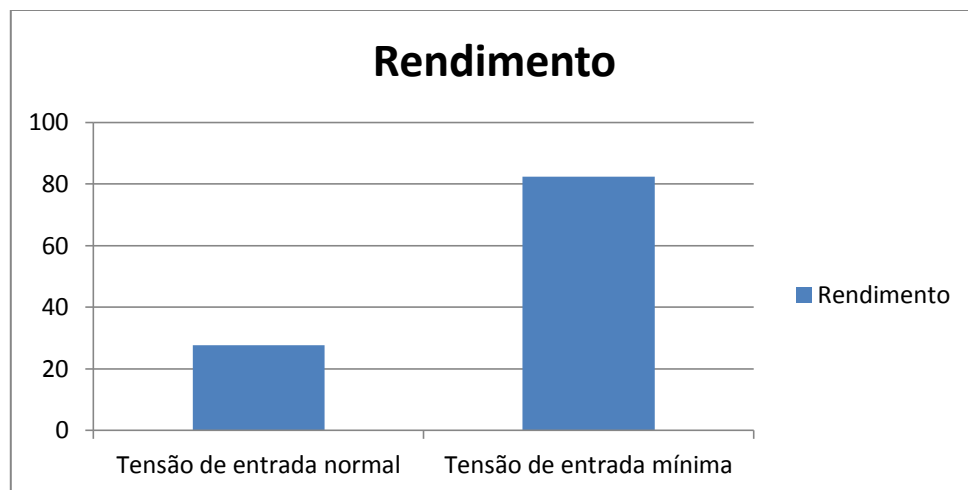


Figura 4.20 – Gráfico ilustrativo do rendimento do regulador projetado.

5

Conclusões

Ao longo desta dissertação foi projetado um regulador linear de tensão tendo como objetivo melhorar a autonomia e o desempenho dos atuais dispositivos eletrônicos. Este melhoramento tem sempre como base o estado da arte, face aos circuitos ou topologias existentes, de modo a usar o conhecimento existente.

Um dos maiores impedimentos no projeto deste regulador foi a quase inexistência de trabalhos realizados a nível de *High-Voltage*. Como referido anteriormente, este problema deve-se à diminuição das tensões dos equipamentos eletrônicos na atualidade. O regulador projetado possui uma grande diferença entre a tensão de entrada e a tensão de saída sendo o seu rendimento forçosamente menor, pela equação (2.7), em relação a outros reguladores com menor diferença.

É possível comparar as simulações efetuadas com resultados obtidos por outros autores presentes na Tabela 5.1. Nesta tabela estão representadas variadas características que foram referidas ao longo desta dissertação.

Com a Tabela 5.1, é possível afirmar que o regulador projetado apresenta melhor eficiência de corrente que o regulador proposto em [5] [6] [9] [11] [12] [13] [14]. Dessa forma, o tempo de vida da bateria aumenta permitindo uma maior autonomia em relação a outros reguladores. O rendimento deste regulador é pior que os reguladores propostos porque, como explicado anteriormente, quanto maior a diferença entre a tensão de entrada e saída, pior será o rendimento. Nesse sentido, a comparação torna-se dificultada devido à significativa diferença de valores na tensão de alimentação. Contudo, se fosse considerada a tensão mínima necessária para a regulação, o regulador linear de tensão projetado consegue melhor rendimento que o regulador proposto em [6] [10] [11] [12] [18].

No regulador projetado, não é possível calcular as figuras de mérito, FOM_1 e FOM_2 , devido à ausência de um condensador à saída. Assim como este regulador, existem outros, em que o condensador de saída é negligenciado por o seu uso ser desnecessário ou por ser necessário um regulador totalmente integrado [8] [9] [13] [17] [18] [19] [40] [48]. Assim, torna-se necessário encontrar outra figura de mérito de modo a ser possível comparar o desempenho entre os diferentes tipos de reguladores, tendo eles ou não um condensador à saída.

Neste regulador, a tensão de dropout é de 707mV, um valor elevado tendo em conta o estado da arte existente, em que o seu valor situa-se nos 200mV. Contudo, essa diferença deve-se, sobretudo, ao facto de ser usadas baixas tensões de entrada (no estado da arte). Como a tensão que passa pela gate do transistor de potência é de alta tensão, é necessário um transistor de *High Voltage*. Estes possuem uma resistência superior aos de *Low Voltage*, assim, pela equação (2.12), a tensão de *dropout* será, forçosamente, maior. O seu uso encaixa na perfeição nas aplicações referidas no capítulo 1. Como exemplo, em aplicações automóvel em que, por vezes, a bateria deste desce para os 6V, em condições de muito frio, uma baixa tensão de dropout é requerida [27]. Neste caso, este regulador apenas precisaria de 4,037V.

Parâmetros	[5]	[6]	[7]	[8]	[9]	[10]	[11]	[12]	[13]	[14]	[15]	[3]	[16]	[17]	[18]	Este Projeto
Tecnologia (µm)	2	0,5	0,6	0,6	BiCMOS	0,35	0,09	0,25	0,35	0,35	0,35	0,35	0,5	0,35	0,35	0,35
Ano	1998	1998	2001	2003	2004	2004	2005	2006	2007	2007	2008	2009	2010	2011	2012	2012
I _{MAX} (mA)	50	300	4000	100	150	150	100	50	50	200	400	50	100	100	50	101,13
V _{IN} (V)	1,76	5	2	1,5 - 4,5	1,7 - 5,5	3 - 7	1,2	2 - 2,5	3	2 - 5,5	3,6 - 4,7	1,2 - 1,5	1,4 - 4,2	1,2	0,9	4,037 - 20,5
V _{OUT} (V)	1,5	3,3	1,8	1,3	1,2 - 5	2,3 - 2,5	0,9	1,5 - 1,97	2,8	1,8	3,3	1	1,21	1	0,7	3,33
V _{DROP} (mV)	280		150	200	100	446	300	500	200	200	200	200	200	200	200	707
I _Q (mA)	0,23	0,75	0,2	0,038	0,55	0,09	6	0,1	0,065	0,34	-	0,045	0,045	0,027	0,005	0,199
C _{OUT} (nF)	4700	0,18	100000	10 (ext.)	0 - 10	-	0,6 (ext.)	50	0 - 0,1	1000	1000	0 - 1	100	-	-	-
ΔV _{OUT} (mV)	19	400	220	<150	<120	30	90	-	<90	54	-	70	120	-	-	-
FOM 1 (ns)	8,2	0,0006	0,28	4,9	0,029	-	0,032	-	0,459	0,027	-	0,036	0,059	-	-	-
FOM 2	16	0,0047	1,8	32	-	-	1,4	-	-	-	-	-	-	-	-	-
PSRR @1kHz (dB)	-	-	-	60	37 (10kHz)	-	N/A	43 (30kHz)	57	-	59 (2kHz)	-	-	-	-	-
Eficiência de Corrente (%)	99,54	99,75	99,99	99,96	99,63	99,94	94,34	99,80	99,87	99,83	-	99,91	99,95	99,97	99,99	99,88
Rendimento (%)	84,84	65,84	89,99	28,88 - 86,63	70,33 - 90,58	35,69 - 76,62	70,75	74,85 - 78,64	93,21	32,67 - 89,85	-	66,61 - 83,26	28,79 - 86,39	83,31	77,77	27,74 - 82,46

Tabela 5.1 – Comparação entre reguladores realizados por outros autores e o regulador proposto.

5.1 Trabalho futuro

O regulador linear de tensão proposto representa uma abordagem inovadora aos diversos métodos propostos e existentes no estado da arte. Consiste num amplificador de erro com duas tensões de alimentação (uma de baixa tensão e outra de alta tensão). Contudo, o elevado tamanho dos transístores poderia ser reduzido pela utilização de outro processo CMOS.

A metodologia de projeto usada para este regulador teve influência nos resultados obtidos, sendo necessário fazer algumas considerações de modo a melhorá-lo. Em primeiro, poderia ser melhorado a tensão de *dropout* para valores mais consonantes com o estado da arte apresentado na Tabela 5.1. Esse facto, por consequência, melhoraria o rendimento quando usada a tensão mínima necessária para normal funcionamento do regulador. Assim, poderia abranger um maior leque de aplicações, não estando somente focalizado em aplicações industriais ou em equipamentos médicos.

Neste projeto existe um grande *undershoot* e *overshoot*, $\pm 1,85V$, que poderia ser diminuído através do uso de um condensador. Contudo, este caso merece melhor atenção porque existe vantagens e desvantagens, em que um dos pontos a debater seria a total ou não integração do circuito, como referido no capítulo 1.

O regulador linear de tensão projetado possui um baixo ganho, que poderia ser melhorado. Todavia, existe um fator de compromisso entre o ganho do regulador e sua estabilidade, em que ao melhorar o ganho deve ter-se em atenção que o regulador não passe para a região de instabilidade.

Referências bibliográficas

- [1] S. K. Lau, P. K. T. Mok e K. N. Leung, "A Low-Dropout Regulator for SoC With Q-Reduction," *IEEE Journal of Solid-State Circuits*, vol. 42, n.º 3, 2007.
- [2] T. L. Floyd e D. Bucha, *Basic Operational Amplifiers and Linear Integrated Circuits*, Prentice Hall, 1999.
- [3] G. Giustolisi, G. Palumbo e E. Spitalè, "A 50-mA 1-nF Low-Voltage Low-Dropout Voltage Regulator for SoC Applications," *ETRI Journal*, vol. 32, n.º 4, 2010.
- [4] G. Rincon-Mora, *Analog IC Design with Low-Dropout Regulators*, McGraw-Hill Education - Europe, 2009.
- [5] G. A. Rincon-Mora e P. E. Allen, "A low-voltage, low quiescent current, low drop-out regulator," *IEEE Journal of Solid State*, vol. 33, n.º 1, pp. 703-708, 1998.
- [6] G. W. den Besten e B. Nauta, "Embedded 5 V-to-3.3 V voltage regulator for supplying digital IC's in 3.3 V technology," *IEEE Journal of Solid-State Circuits*, vol. 33, n.º 7, pp. 956-962, 1998.
- [7] G. Bontempo, T. Signorelli e F. Pulvirenti, "Low supply voltage, low quiescent current, ULDO linear regulator," em *Proc. IEEE Int. Conf. Electronics, Circuits and Systems*, pp. 409-412, 2001.
- [8] K. N. Leung e K. T. Mok, "ACapacitor-Free CMOS Low-Dropout Regulator With Damping-Factor-Control Frequency Compensation," *IEEE Journal of Solid-State Circuits*, vol. 38, n.º 10, 2003.
- [9] "Cap-Free, NMOS, 150mA Low Dropout Regulator with Reverse Current Protection", Texas Instruments, 2003 - Revised 2009.
- [10] H. Pan, C. Cheng e C. Chen, "A CMOS Low Dropout Regulator Stable With Any Load Capacitor," Department of Electrical Engineering & Graduate Institute of Electronics Engineering, National Taiwan University, pp. 266-269, vol. 4, 2004.
- [11] P. e. a. Hazucha, "Area-Efficient Linear Regulator With Ultra-Fast Load Regulation," *IEEE J. Solid-State Circuits*, vol. 40, n.º 4, pp. 933-940, 2005.
- [12] W. Oh e B. Bakkaloglu, "A CMOS Low-Dropout Regulator With Current-Mode Feedback Buffer Amplifier," *IEEE Trans. Circuits Syst. II*, vol. 54, n.º 10, pp. 922-926, 2007.
- [13] R. J. Miliken, J. Silva-Martinez e E. Sánchez, "Full On-Chip CMOS Low-Dropout Voltage Regulator," *IEEE Trans. on Circuits and Systems*, vol. 54, n.º 9, 2007.

- [14] M. Al-Shyoukh, H. Lee e R. Perez, "A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation," *IEEE Journal of Solid-State Circuits*, vol. 42, n.º 8, pp. 1732-1742, 2007.
- [15] Y. Lin, K. Zheng e K. Chen, "Smooth Pole Tracking Technique by Power MOSFET Array in Low-Dropout Regulators," *IEEE Transactions on Power Electronics*, vol. 23, n.º 5, 2008.
- [16] A. Garimella, M. Wasequr e P. M. Furth, "Reverse Nested Miller Compensation Using current Buffers in a Three-Stage LDO," *IEEE Transactions on Circuits and Systems*, vol. 57, n.º 4, 2010.
- [17] C. Zhan e W. H. Ki, "An Output-Capacitor-Free Adaptively Biased Low-Dropout Regulator With Subthreshold Undershoot-Reduction for SoC," *IEEE Trans. Circuits and Systems I*, vol. 59, n.º 5, 2011.
- [18] Y. Lo e W. Chen, "A 0,7 input output-capacitor-free digitally controlled low-dropout regulator with high current efficiency in 0.35um CMOS technology," *Microelectronics Journal*, vol. 43, n.º 11, pp. 756-765, 2012.
- [19] R. J. Miliken, "A Capacitor-less low-dropout voltage regulator, with fast transient response," in a Thesis by Robert Jon Miliken, 2005.
- [20] G. A. Rincon-Mora e P. E. Allen, "Optimized Frequency-Shaping Circuit Topologies for LDO's," *IEEE Trans. Circuits Syst. II*, vol. 45, n.º 6, pp. 703-708, 1998.
- [21] E. Rogers, "Stability analysis of low-dropout linear regulators with pmos pass element," in *Texas Instruments Analog applications Journal*, pp. 10-13, 1999.
- [22] X. e. a. Lai, "A 3-A CMOS low-dropout regulator with adaptive Miller Compensation," *Analog Integr. Circuits Signal Process*, vol. 49, n.º 1, pp. 5-10, 2006.
- [23] H. Aminzadeh, R. Lofti e K. Mafinezhad, "Area-Efficient Low-Cost Low-Dropout Regulators Using MOS Capacitors," Integrated Systems Lab., EE Department, Iran, 2008.
- [24] C. K. Chava e J. Silva-Martínez, "A Frequency Compensation Scheme for LDO Voltage Regulators," *IEEE Trans. Circuits Syst. I*, vol. 51, n.º 6, pp. 1041-1050, 2004.
- [25] M. M. Pelicia, "Projecto e Implementação de um regulador de tensão Low Dropout utilizando tecnologia CMOS," Dissertação, Engenharia Eléctrica e de Computação, Universidade Estadual de Campinas, 2002.
- [26] C. S. Wu, "Low-Cost Dual Output Voltage Level Low-Dropout Linear Regulator Using a Novel MUX-based Adjustable Reference Voltage Generator," Department of Electrical Engineering, National Cheng Kung University, MS Thesis, 2008.
- [27] G. A. Rincon-Mora, "Current efficient, low voltage, low drop-out regulator," in Ph.D.

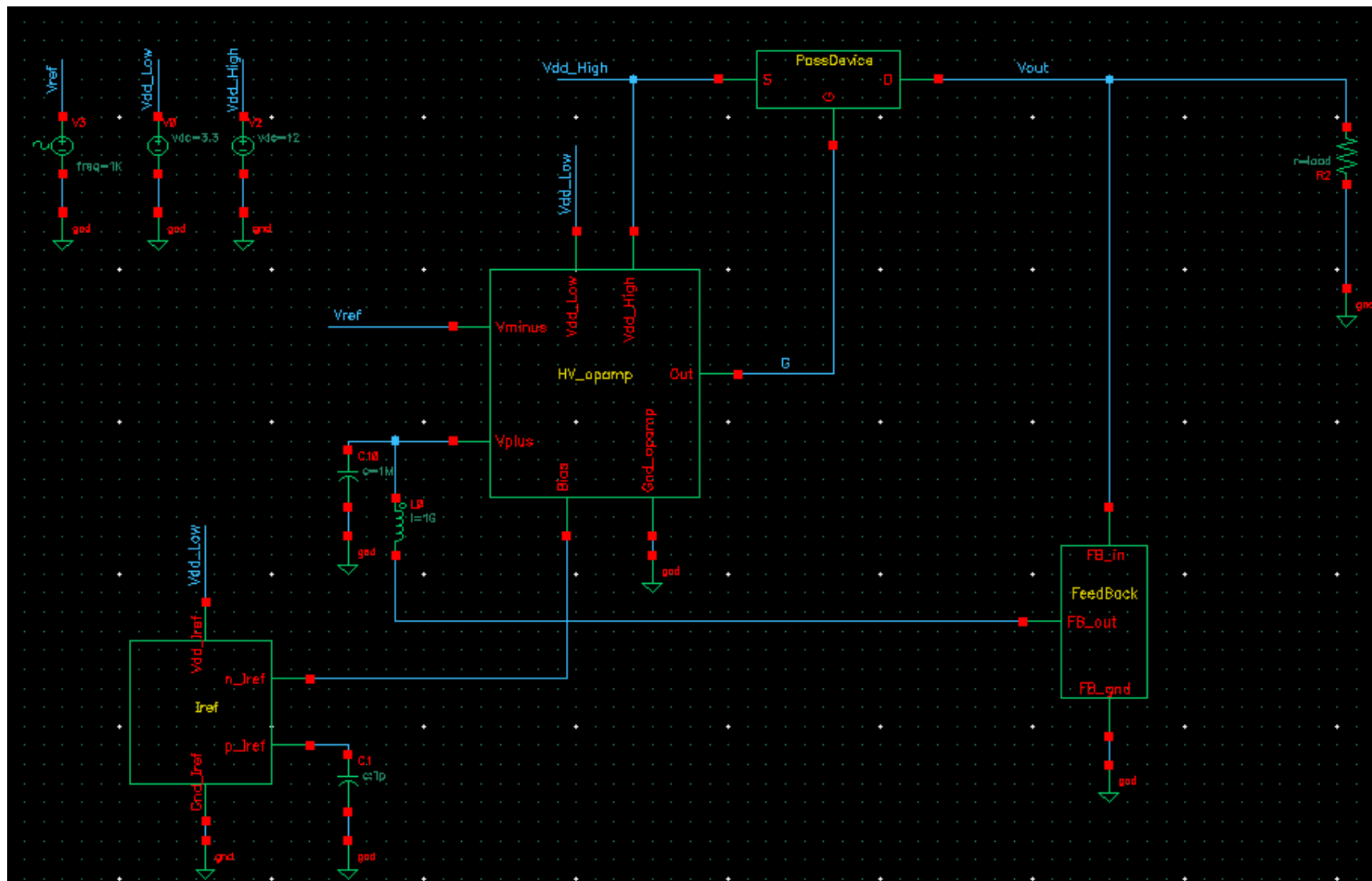
dissertation, Elec. Comp. Eng. Dept Georgia Institute of Technology, 1996.

- [28] V. Gupta e A. Rincon-Mora, "A Low Dropout, CMOS Regulator with High PSR over Wideband Frequencies," em *IEEE International Symposium on, Circuits and Systems*, 2005.
- [29] B. S. Lee, "Understanding the terms and definitions of LDO Voltage Regulator," Texas Instruments Application Report SLVA079, 1999.
- [30] M. Choi, "Low-Dropout Linear Regulators with Q Reduction," Thesis for Master of Science, Department of Electrical Engineering, Tatung University, 2011.
- [31] *Technical Review of Low Dropout Voltage Regulator Operation and Performance*, Texas Instruments.
- [32] M. K. Brian, "Advantages of using PMOS-type low-dropout linear regulators in battery applications," *Journal of Analog Applications, Texas Inc.*, 2000.
- [33] P. M. Fernandes, High PSRR Low Drop-out Voltage Regulator, Dissertação para o grau de mestre em Engenharia Electrotécnica e de Computadores: Instituto Superior Técnico, 2009.
- [34] D. A. Johns e K. Martin, *Analog integrated circuit design*, Wiley, 1997.
- [35] V. Gupta, G. Rincon-Mora e P. Raha, "Analysis and design of monolithic, high PSR, linear regulators for SoC applications," em *IEEE International System on Chip Conference*, Santa Clara, pp. 311-315, 2004.
- [36] C. Simpson, *A user's Guide To compensating Low-Dropout Regulators*, National Semiconductor.
- [37] J. Falin, "ESR, stability, and the LDO regulator," Texas Instruments Application Report, pp. 1-6, 2002.
- [38] B. S. Lee, "Understanding the stable range equivalent series resistance of an LDO regulator," in *Texas Instruments Analog applications Journal*, pp. 14-17, 1999.
- [39] D. Chen, L. He e X. Yan, "A low-dropout Regulator with Unconditional Stability and Low Quiescent," em *Communications, Circuits and Systems Proceedings, International Conference*, 2006.
- [40] K. N. Leung, P. K. Mok e W. H. Ki, "A novel frequency compensation technique for low-voltage low-dropout regulator," *IEEE Journal of Solid_State Circuits*, pp. 102-105, 1999.
- [41] M. Loikkanen e J. Kostamovaara, "High current CMOS operational amplifier," em *IEEE International Symposium on, Circuits and Systems*, vol. 1, pp. 216-219, 2005.

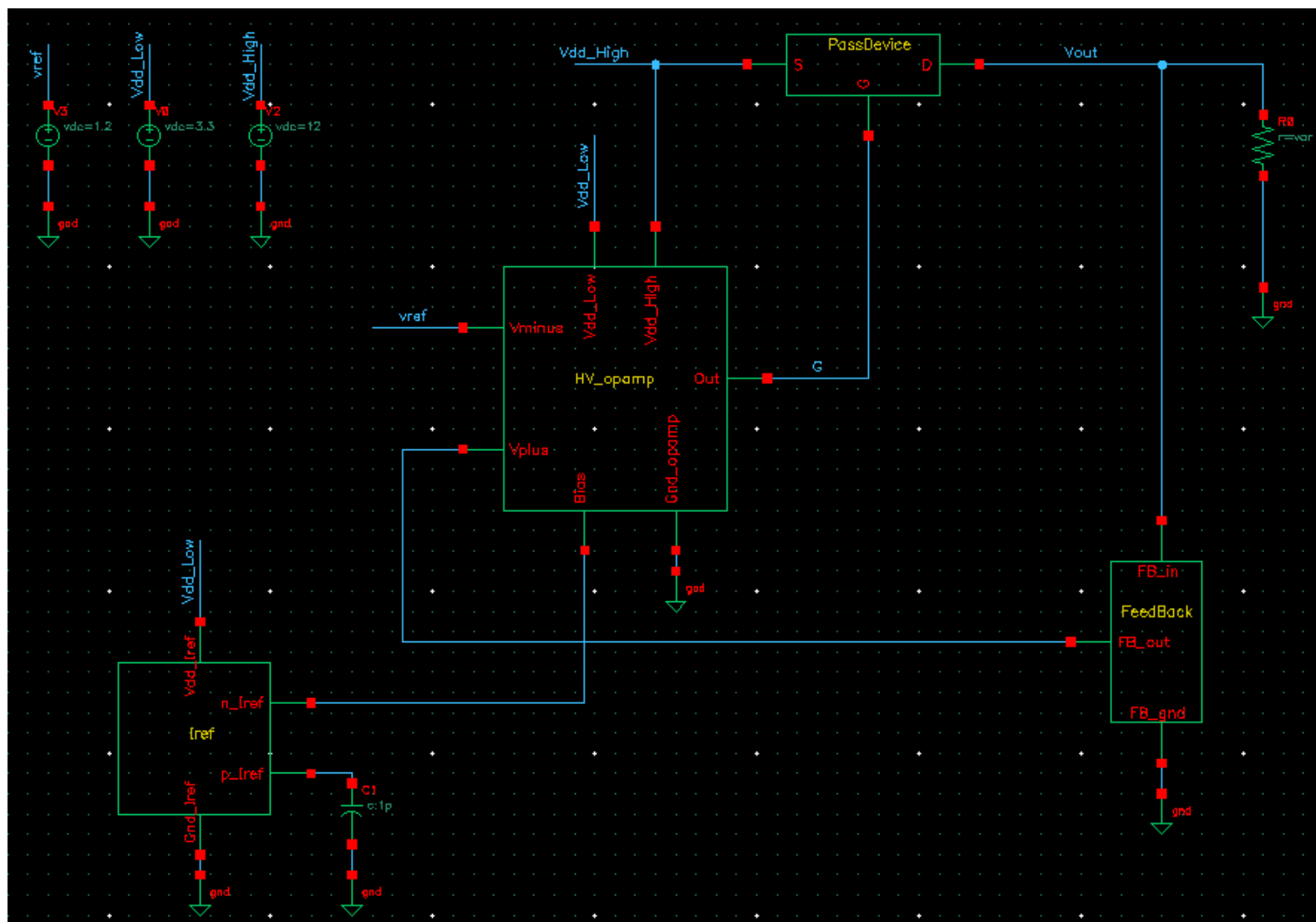
- [42] K. Wong e D. Evans, "A 150mA Low Noise, High PSRR Low-Dropout Linear Regulator in 0.13 μ m Technology for RF SoC Applications," em *Solid-State Circuits Conference, Proceedings of the 32nd European*, 2006.
- [43] K. N. Leung e P. K. Mok, "A sub-1Vppm/ $^{\circ}$ C CMOS bandgap voltage reference without requiring low threshold voltage device," *IEEE Journal of Solid-State Circuits*, vol. 37, pp. 300-526, 2002.
- [44] AMS, "High Voltage CMOS," AMS.
- [45] R. J. Baker, CMOS Circuit design, Layout and Simulation, Third Edition: IEEE Press, 2010.
- [46] Y. S. Shyu, "Low Operating Current Analog Integrated Circuits," PhD Dissertation, National Chiao-Tung University, Taiwan, 2002.
- [47] F. Maloberti, Analog Design for CMOS VLSI Systems, Kluwer Academic Publishers, 2001.
- [48] M. Loikkanen e J. Kostamovaara, "A capacitor-free CMOS low-dropout regulator," *IEEE Journal of Solid-State Circuits*, pp. 1915-1918, 2007.
- [49] S. Patri e K. S. KrishnaPrasa, "Self compensating ON Chip LDO Voltage Regulator in 180nm," World Academy of Science, Engineering and Technology, 44, 2008.
- [50] U. Dasgupta e A. Tanzil, "High Power-Supply Rejection Low Drop-Out Regulator," em *IEEE International Symposium on, Circuits and Systems*, 2009.
- [51] R. J. Baker, "CMOS Circuit design, Layout and Simulation," in *Texas Instruments Analog applications Journal*, pp. 14-17, 1999.
- [52] X. Fan, C. Mishra e E. Sanchez-Sinencio, "Single Miller capacitor compensated multistage amplifiers for large capacitive load applications," em *IEEE International Symposium on, Circuits and Systems*, pp. 493-496, 2004.
- [53] G. Patounakis, Y. W. Li e K. L. Shepard, "A Fully Integrated On-Chip DC-DC Conversion and Power Management System," *IEEE Journal of Solid-State Circuits*, vol. 39, n. $^{\circ}$ 3, pp. 443-451, 2004.

A

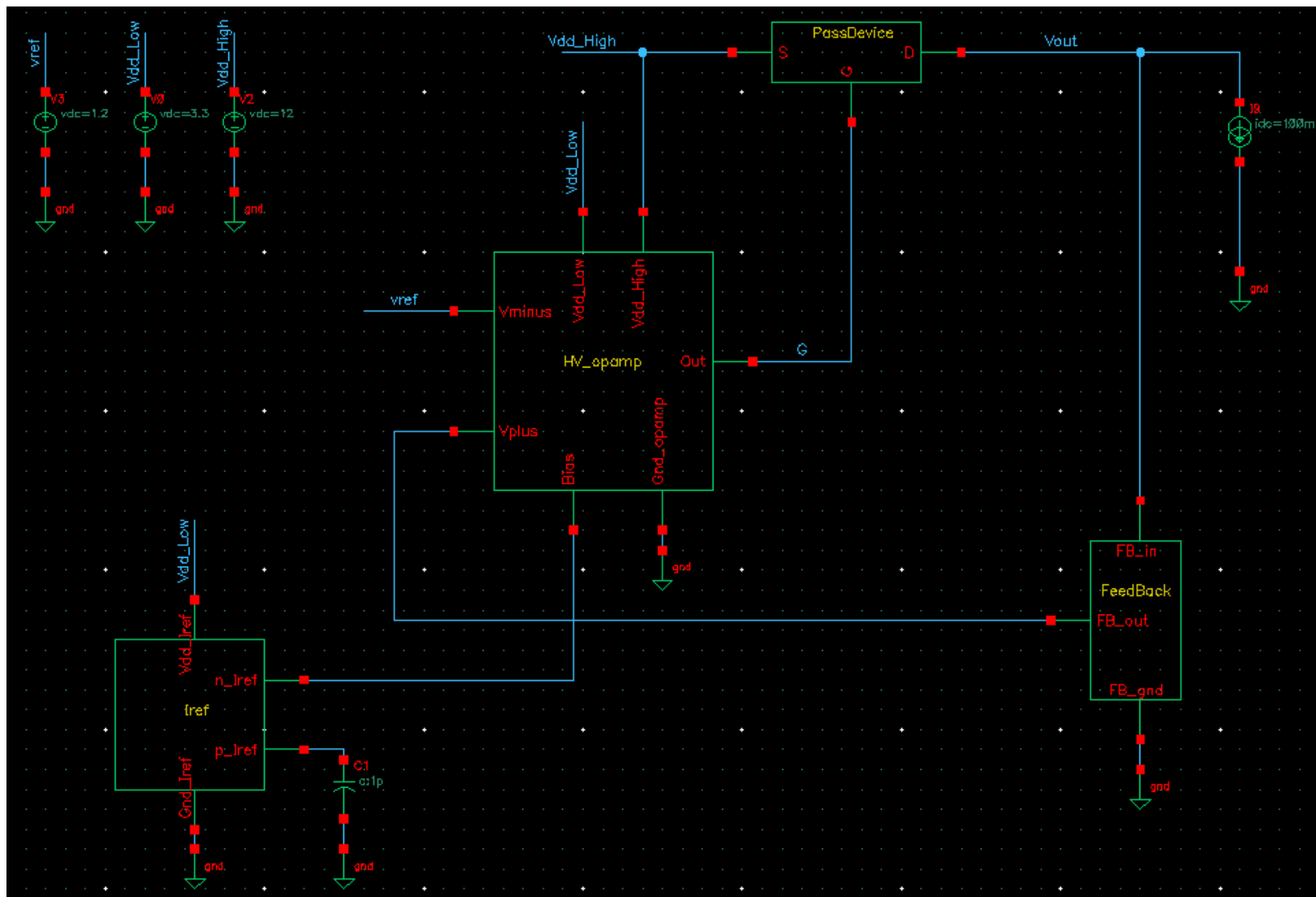
Anexos



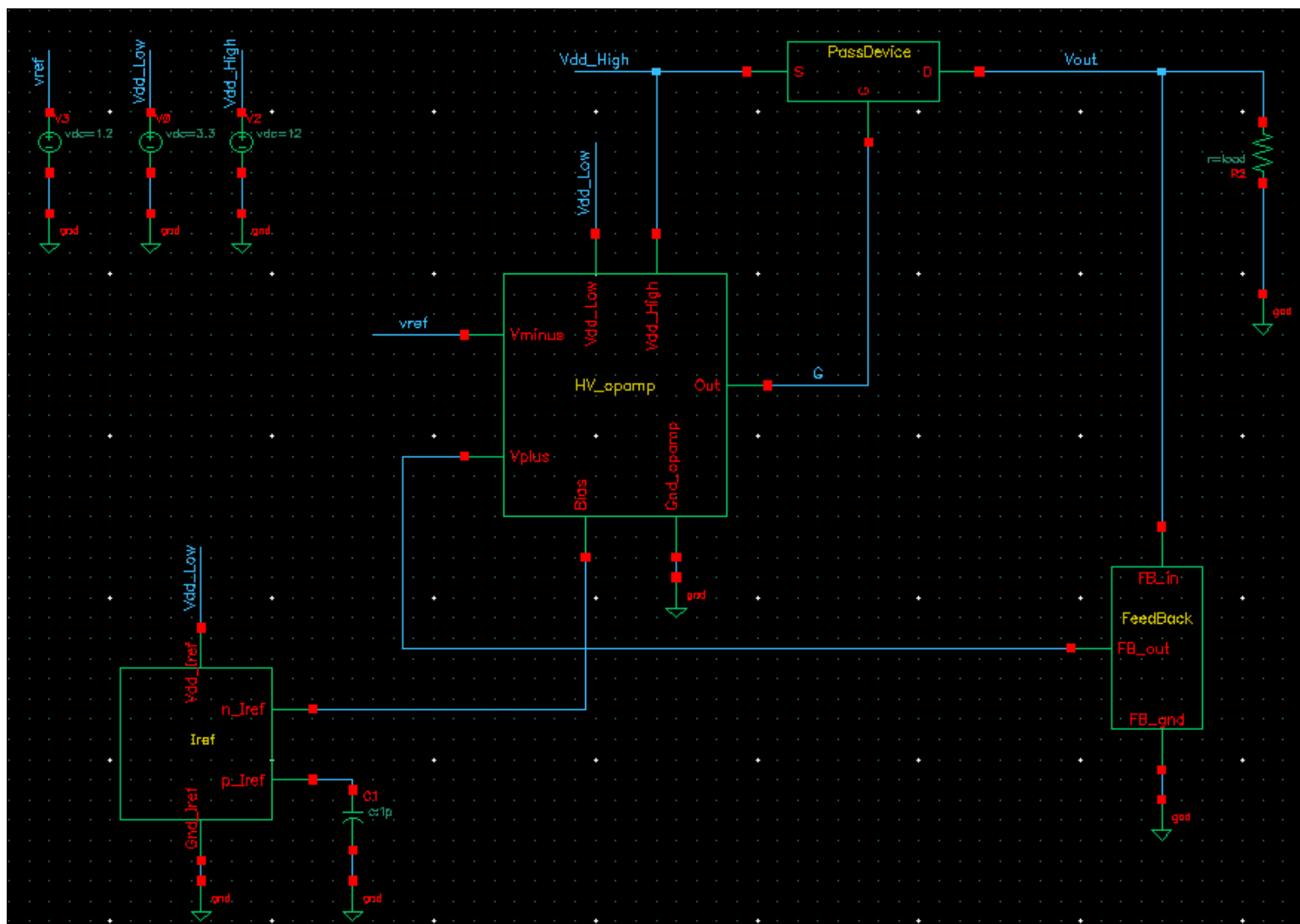
Anexo 1 – Circuito usado para testar a estabilidade do regulador linear de tensão.



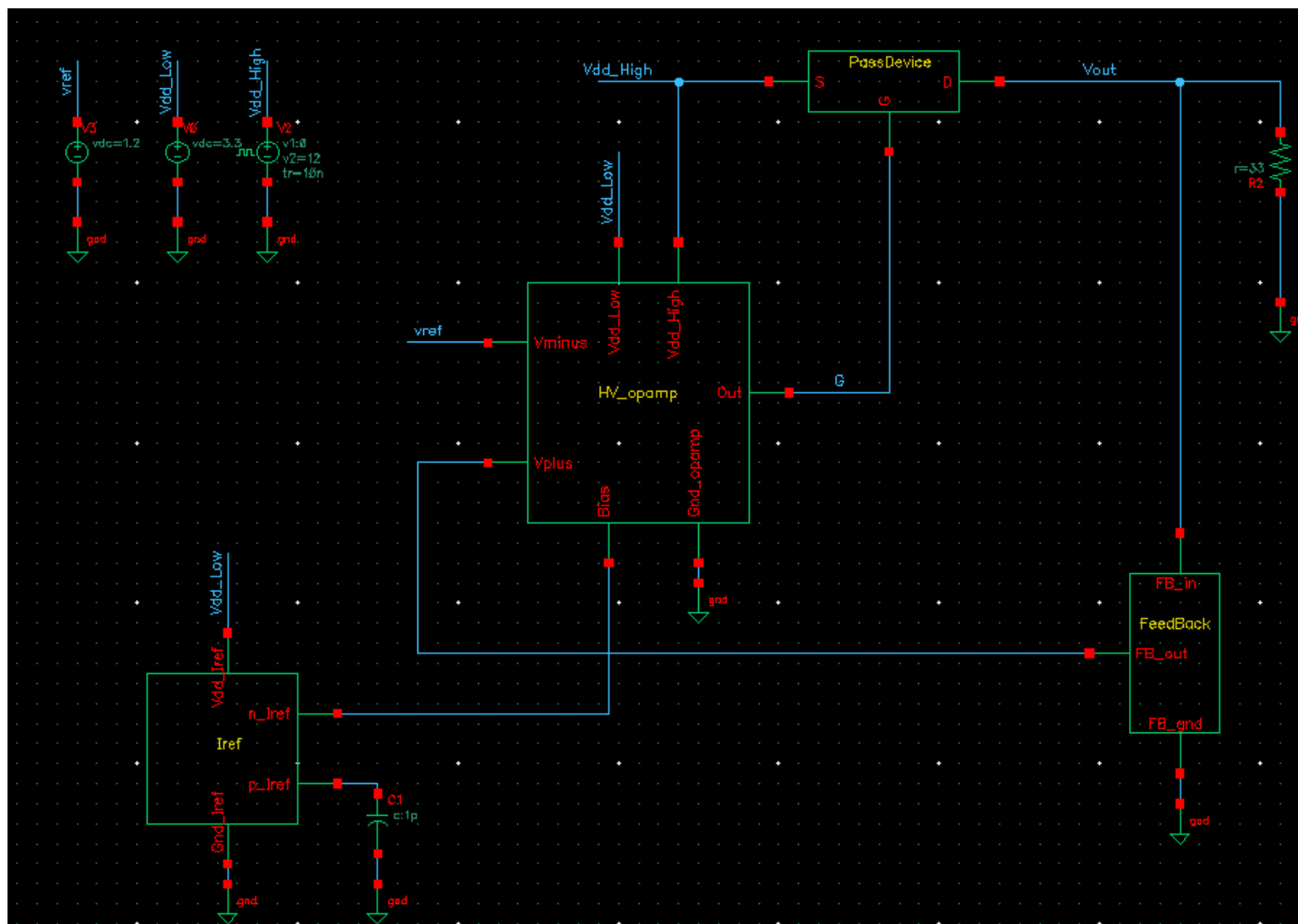
Anexo 2 – Circuito usado para calcular a corrente de quiescente para vários valores de corrente de carga.



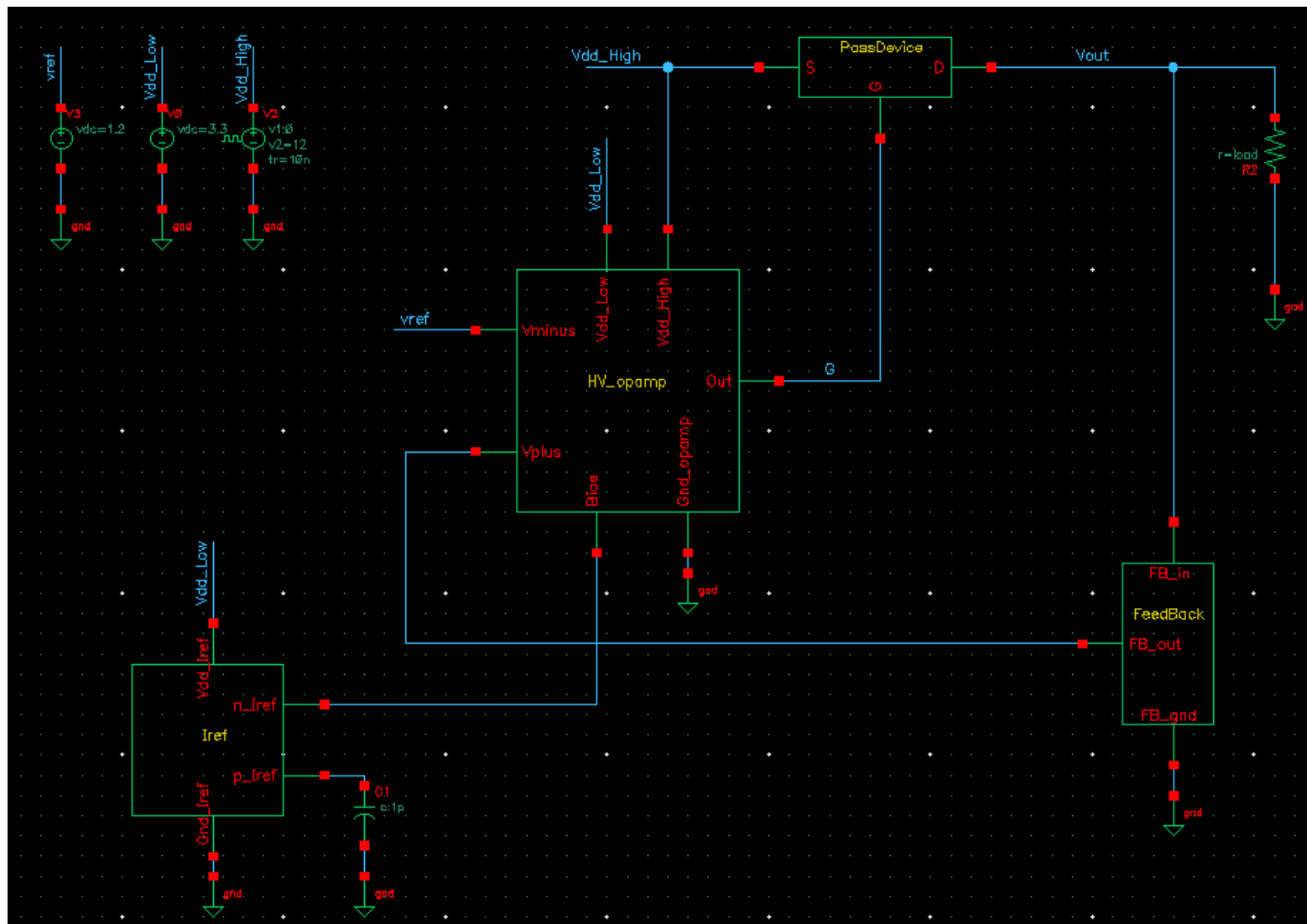
Anexo 3 – Circuito usado para a regulação da linha na ausência de carga.



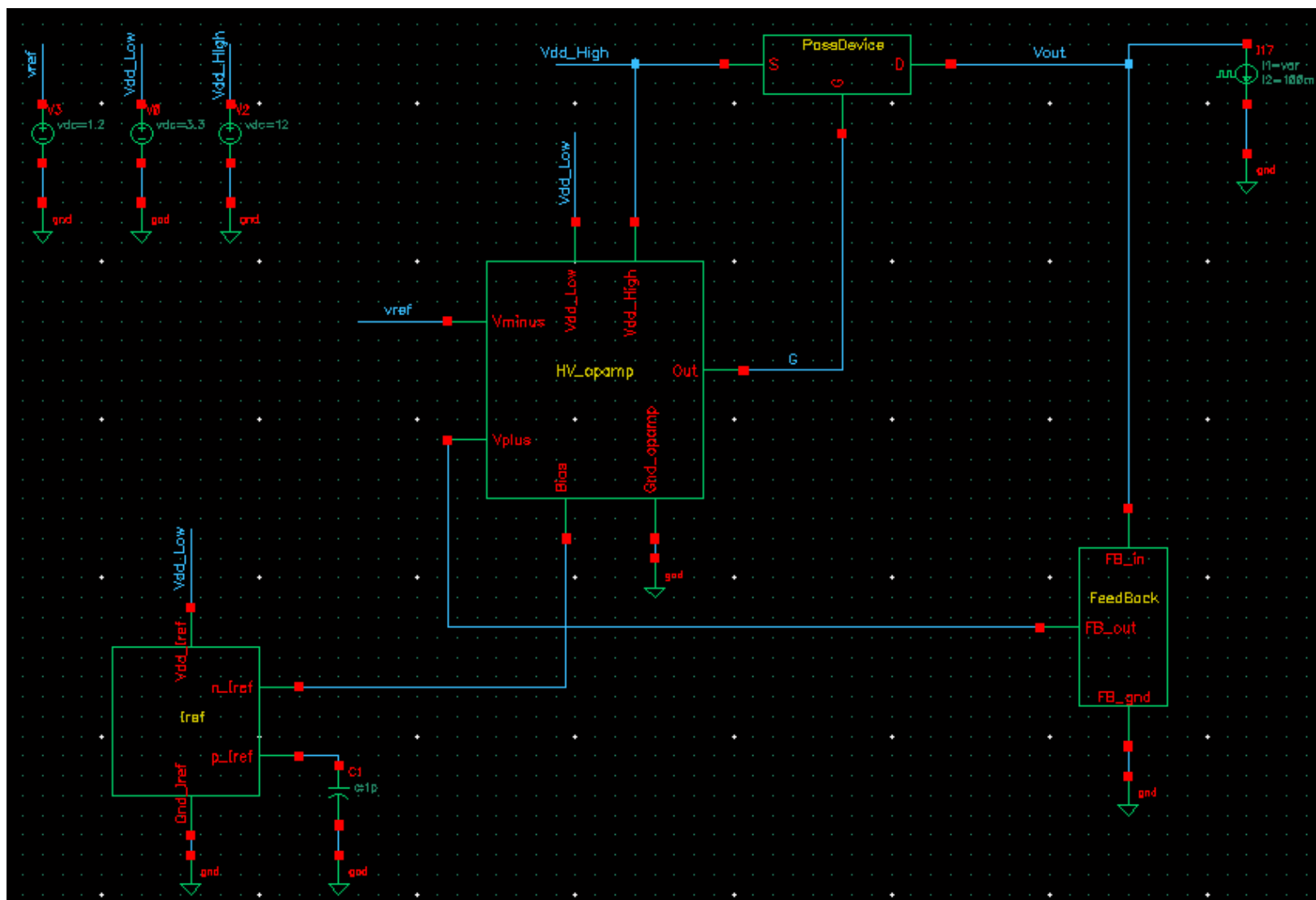
Anexo 4 - Circuito usado para a regulação da linha.



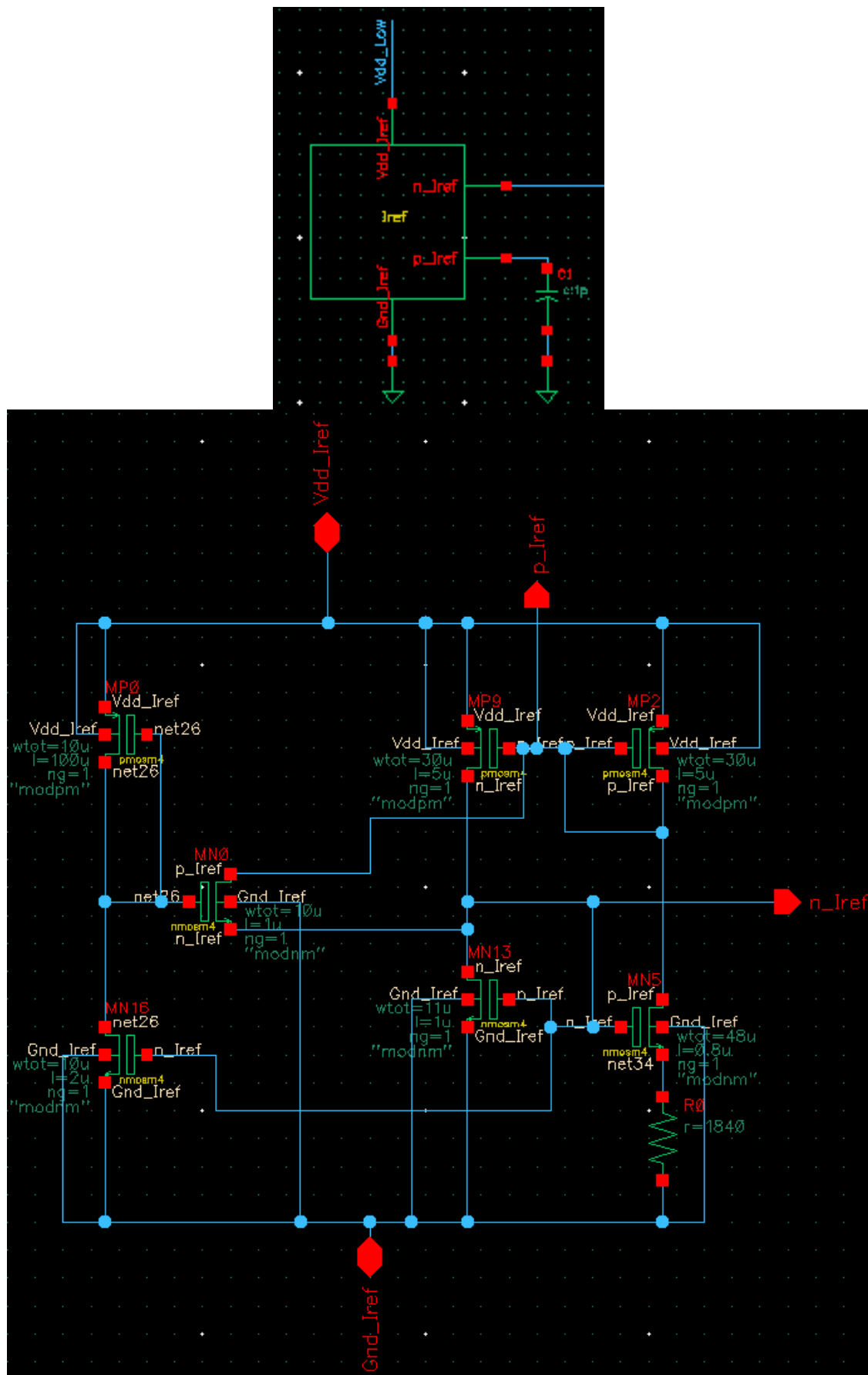
Anexo 5 – Circuito usado para calcular o tempo de estabelecimento perante um step na tensão de alimentação.



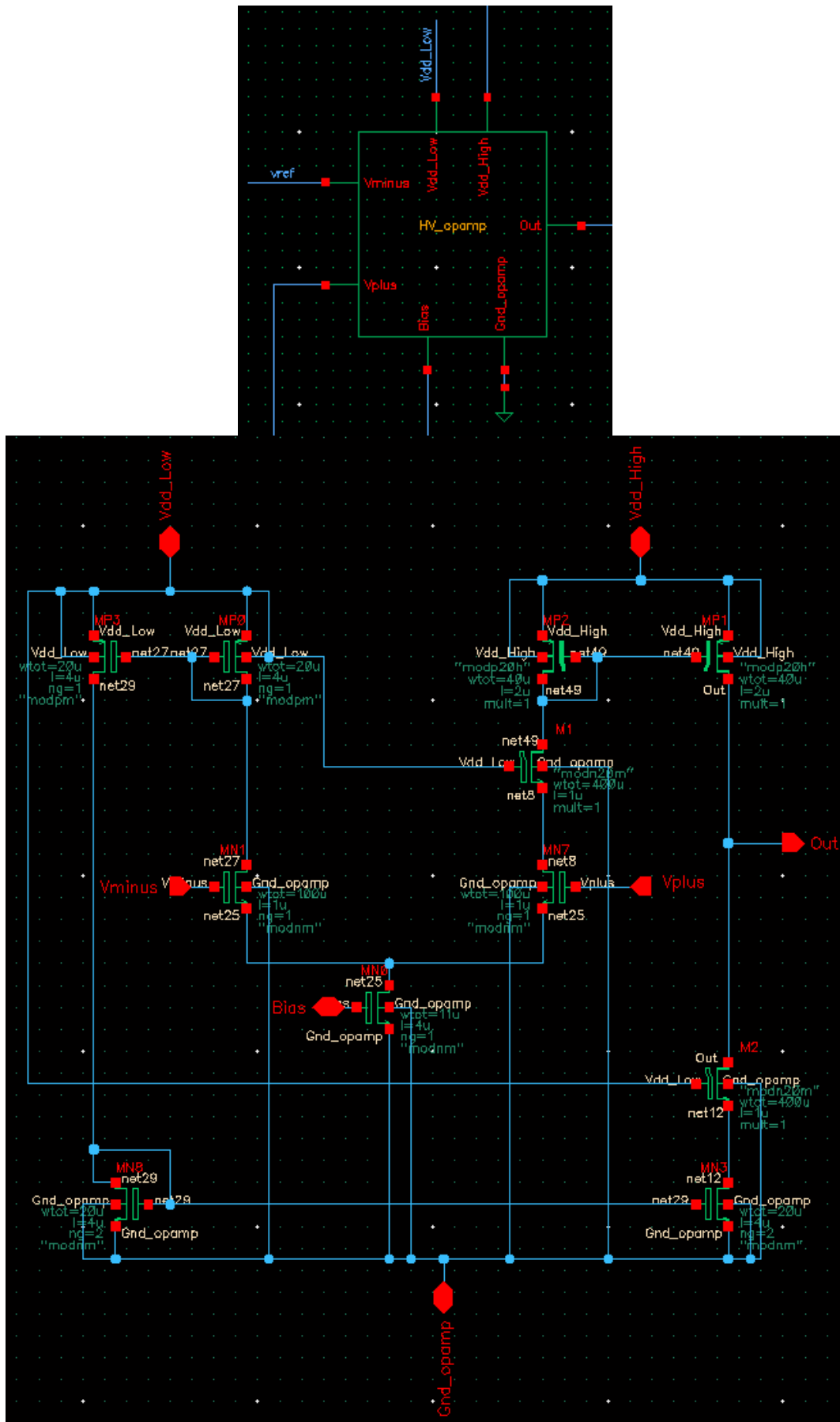
Anexo 6 - Circuito usado para calcular o tempo de estabelecimento para vários valores de carga, perante um step na tensão de alimentação.



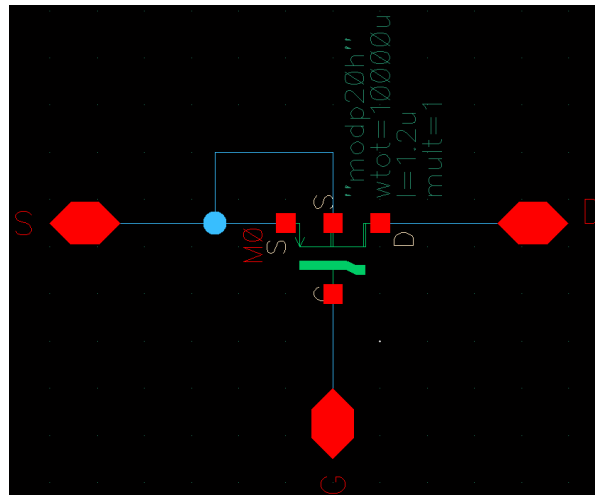
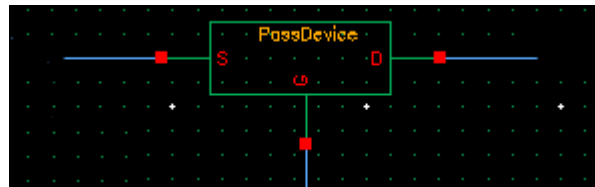
Anexo 7 – Circuito usado para o cálculo da tensão de saída perante variações (step) na corrente de carga.



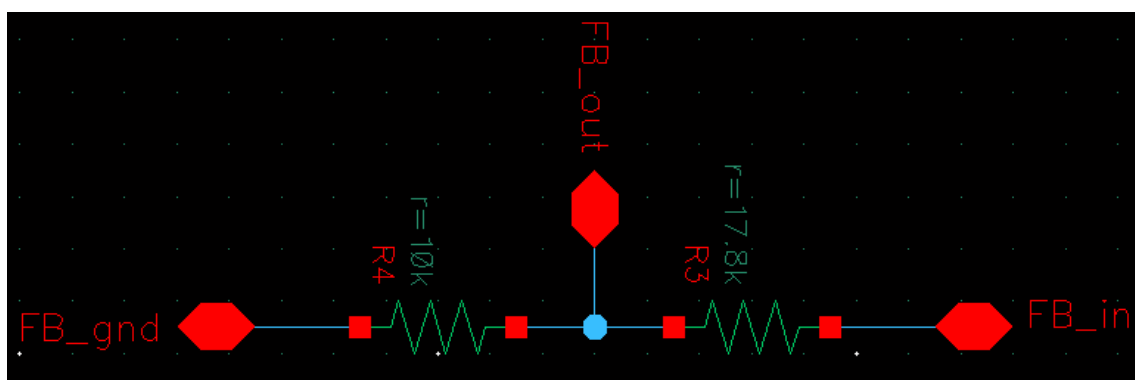
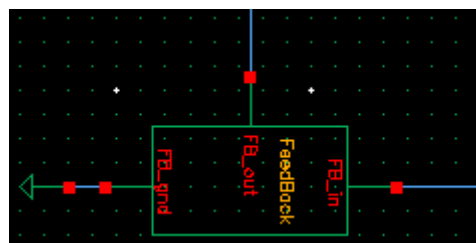
Anexo 8 – Esquemático da fonte de corrente do regulador linear de tensão projetado.



Anexo 9 – Esquemático do amplificador de erro do regulador linear de tensão projetado.



Anexo 10 – Visualização do símbolo criado para o transistor de potência.



Anexo 11 - Visualização do símbolo criado para a realimentação resistiva do sistema.